

IDŹ DO

PRZYKŁADOWY ROZDZIAŁ



SPIS TREŚCI

KATALOG KSIĄŻEK

KATALOG ONLINE

ZAMÓW DRUKOWANY KATALOG

TWÓJ KOSZYK

DODAJ DO KOSZYKA

CENNIK I INFORMACJE

ZAMÓW INFORMACJE
O NOWOŚCIACH

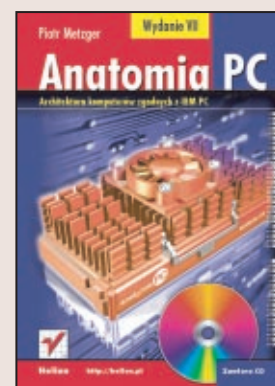
ZAMÓW CENNIK

CZYTELNIA

FRAGMENTY KSIĄŻEK ONLINE

Anatomia PC. Wydanie VII

Autor: Piotr Metzger
ISBN: 83-7197-751-4
Format: B5, stron: 1082



Klasyczne kompendium wiedzy na temat budowy komputerów PC. Siódme już wydanie Anatomii PC to ponad tysiąc stron szczegółowych i aktualnych informacji, dla wszystkich, którzy chcą zgłębić tajemnice pecetów. Rozproszoną i trudno dostępną wiedzę na temat sprzętu komputerowego masz teraz w zasięgu ręki, w jednym kompletnym opracowaniu, którego kolejne edycje cieszą się niesłabnącym powodzeniem wśród Czytelników.

Anatomia PC jest nieocenioną pomocą w sytuacjach, gdy komputer nie działa tak jak należy. Dzięki niej poradzisz sobie nawet z najbardziej złożonymi problemami ze sprzętem.

Omówione zostały:

- procesory i koprocesory;
- architektury PC (od XT do architektur wieloprocessorowych);
- obsługa pamięci i typy układów pamięci;
- chipsety, magistrała PCI, DMA, przerwania sprzętowe, zegar systemowy;
- obsługa stacji dyskietek, dysków twardych, magistrale ATA, SCSI i złącze FireWire;
- karty graficzne, magistrała AGP, przetwarzanie wideo i grafiki 3D;
- standardy obsługi klawiatury, myszki i innych urządzeń wejściowych;
- łącza: szeregowo, równoległe, USB, IrDA;
- system oszczędzania energii (ACPI);
- karty dźwiękowe, synteza FM, WaveTable i standard MIDI;
- modemy i standardy używane w transmisji modemowej;
- sieci i karty sieciowe;
- BIOS i metody zabezpieczania peceta przed nieuprawnionym dostępem.

Książkę uzupełniają dodatki poświęcone architekturze procesorów różnych producentów, opis oznaczeń modułów pamięci, bogata baza adresów internetowych poświęconych sprzętowi PC oraz przykład sprzętowej realizacji współpracy z magistralą ISA. Anatomii PC towarzyszy także CD-ROM, zawierający przydatne programy diagnostyczne i narzędziowe.

Jest to pozycja nie tylko dla profesjonalistów: serwisantów, projektantów urządzeń współpracujących z PC i programistów. Każdy, kto chce naprawdę dowiedzieć się, jak działa jego pecet, znajdzie w Anatomii PC odpowiedź na wszystkie swoje pytania.



Spis treści

Rozdział 1. Mikroprocesor	23
Przetwarzanie rozkazów	25
RISC i CISC	25
Pipeline	26
Faza pierwsza — pobranie (Prefetch, PF)	28
Faza druga — dekodowanie (Decode, DE)	28
Faza trzecia — wykonanie (Execute, EX)	28
Faza czwarta — zakończenie i zapisanie wyników (Write Back, WB)	28
Techniki przyspieszania	28
Techniki superskalarne	29
Przemianowywanie rejestrów	29
Przepowiadanie	32
Optymalizacja kodu	35
Dostęp do pamięci	35
Adresowanie	37
Stronicowanie	38
Caching	40
Topologie	41
Organizacja pamięci podręcznej	43
Mapowanie bezpośrednie (Direct Mapped)	43
Pełna asocjacja (Fully Associative)	43
Asocjacja zespołowa (Set Associative)	44
Strategie	44
Write Through	45
Write Back	45
Pamięć podręczna procesora 80386	45
Określenie trafienia	47
Decyzja o wymianie linijki (LRU)	47
Obsługa przestrzeni adresowej I/O	49
Procesor 8086	50
Procesory 80386 i 80486	50
Pentium	51
Funkcje kontrolne i sterujące	51
BIST	51
Kontrola TLB	52
Kontrola pamięci podręcznej	52
Przejdźcie w stan wysokiej impedancji	52
JTAG	52
Częstotliwość taktowania	54
Zasilanie	56
Jak rozpoznać typ procesora	59
Czy procesor jest zgodny z układem 80286 lub lepszym	59
Procesor 8086/88 czy 80186/88	60

Procesor 80286	61
Procesor 80386	61
Procesor 486 czy Pentium	61
Koprocesory.....	61
Koprocesor 8087.....	62
Koprocesor 80287.....	63
Koprocesor 80387.....	63
Koprocesor i487SX	64
Jak rozpoznać typ koprocesora.....	64
Czy w systemie jest koprocesor	64
Koprocesor 8087.....	65
Koprocesor 80287 czy 80387	66
Rozszerzenia	66
MMX	67
Zmiany w architekturze	67
Rozpoznanie procesora P55C.....	69
Nowe rejestry	69
Nowe typy danych.....	72
Nowe rozkazy.....	72
Przykłady zastosowań	77
3DNow!	79
SSE	79
SSE2	83
Rozdział 2. Architektury komputerów PC	87
Model PC/XT.....	87
Procesor 8086	87
Procesor 8088	90
Dostęp do pamięci i przestrzeni wejścia-wyjścia	91
Kontroler 8288.....	92
Pozostałe elementy architektury XT	94
Magistrala ISA 8-bitowa.....	96
Model AT.....	99
Procesor 80286	101
Magistrala ISA 16-bitowa.....	102
Komputery z procesorami 386, 486 i Pentium	105
EISA	106
Wieloprocessorowość	107
Magistrala zewnętrzna.....	107
Kontroler DMA	107
Kontroler przerwán sprzętowych	107
Kontroler magistral.....	108
Pamięć konfiguracji.....	108
MCA	108
VESA.....	110
PCI.....	112
Architektury systemów wieloprocessorowych.....	112
Architektura MPP	113
Architektura UMA.....	114
Komunikacja z pamięcią	114
Caching w systemach multiprocessorowych	116
Specyfikacja MP (Intel).....	118
Obsługa przerwán	119
Rozruch systemu	119
Przejście do pracy symetrycznej	120

System Dual-Pentium z magistralą PCI	121
Tabela konfiguracji MP	121
Zastosowania praktyczne	125
Systemy operacyjne	125
Procesory	125
Chipsy	127
Aplikacje	128
Granice teoretyczne	129
Architektura komputerów przenośnych	130
Złącze PCMCIA	131
Rozdział 3. Układy pamięciowe PC	133
Pamięci dynamiczne	134
Tryb konwencjonalny (Page Mode)	135
Odczyt	135
Zapis	136
FPM (Fast Page Mode)	136
Odczyt	137
Zapis	137
EDO (Extended Data Out)	137
Odczyt	138
Zapis	138
BEDO (Burst EDO)	138
Porównanie	139
SDRAM	140
Linie zewnętrzne	142
Rozkazy SDRAM	144
Organizacje logiczne kostek SDRAM	148
Moduły pamięciowe	149
Moduły SIMM-30 (SIP)	150
Moduły SIMM PS/2	151
SIMM PS/2 bez parzystości (FPM i EDO)	152
SIMM PS/2 36-bitowy	154
System rozpoznawania modułów SIMM	156
Moduły DIMM	156
Buforowane DIMM DRAM	156
Niebuforowane DIMM DRAM	160
Niebuforowane DIMM SDRAM	163
Rozpoznawanie modułu DIMM	168
Odświeżanie	169
RAS Only	171
CBR (CAS before RAS)	172
Hidden	173
Wykrywanie błędów i ich korekcja	174
Błędy powtarzalne (HE)	175
Błędy sporadyczne (SE)	175
Kontrola parzystości	175
Kontrola ECC	177
Rozszerzenia standardu magistrali PC-66	178
Parametry modułów	179
Pamięć konfiguracyjna (SPD)	180
Moduły buforowane	184
DDR-SDRAM	186
DDR-II i DDR-III	193
RDRAM	193

VC-SDRAM	200
HSDRAM	202
Porównanie parametrów pamięci	203
LVTTL	205
SSTL_2	205
SSTL_18	206
RSL	206
Identyfikacja producentów chipów pamięciowych	207
Rozdział 4. Układy otoczenia procesora (chipset)	209
Zakres funkcji	209
Magistrala FSB	211
Obsługa pamięci operacyjnej i magistrali pamięciowej	213
Obsługa pamięci podręcznej (Cache)	216
Zakres pokrywany przez pamięć podręczną	219
Układy obsługi podstawki typu Socket 7	221
Układy współpracujące z magistralą GTL+ i AGTL+	224
Układy do obsługi procesorów AMD	230
ALi	231
AMD	231
nVidia	232
SiS	232
VIA	232
Układy ze zintegrowaną grafiką	234
Wewnętrzne magistrale międzyukładowe	236
PCI	239
Hub-Interface/V-Link	239
RapidIO	240
HyperTransport (LDT)	244
Rozdział 5. Magistrala PCI	247
Gniazda magistrali PCI	257
Obsługa przerwań	259
Pamięć konfiguracyjna urządzeń PCI	261
Identyfikator producenta (Vendor ID)	261
Identyfikator urządzenia (Device ID)	261
Rejestr komend (Command)	262
Rejestr stanu (Status)	263
Numer wersji urządzenia (Revision ID)	265
Kod klasy urządzenia (Class Code)	265
Rozmiar linii pamięci podręcznej (Cache Line Size)	265
Minimalny czas transmisji (Latency Timer)	265
Typ nagłówka (Header Type)	268
BIST (Build-in Self-test)	269
Adres bazowy (Base Address Registers)	269
Wskaźnik CardBus CIS (CardBus CIS Pointer)	270
Dodatkowy identyfikator producenta (Subsystem Vendor ID) i dodatkowy identyfikator urządzenia (Subsystem ID)	271
Adres bazowy rozszerzenia ROM (Expansion ROM Base Address)	271
Wskaźnik do listy możliwości (Capabilities Pointer)	272
Linia IRQ (Interrupt Line)	272
Linia INT (Interrupt Pin)	272
Długość transmisji (Min_Gnt)	273
Częstość (Max_Lat)	273

Mechanizmy dostępu do pamięci konfiguracyjnej	273
Pierwszy mechanizm dostępu do pamięci konfiguracyjnej.....	274
Drugi mechanizm dostępu do pamięci konfiguracyjnej	274
PCI BIOS	275
Autokonfiguracja urządzeń PCI	275
Rozwój PCI i inne magistrale	276
PCI-32/66 MHz i PCI-64.....	277
PCI-X.....	277
PCI-Express	280
Model warstwowy	281
Rozdział 6. Kanał DMA	285
Układ scalony 8237A	286
Tryby pracy kontrolera DMA	288
Tryb spoczynkowy „I” (Idle).....	288
Tryb „S” (Single).....	289
Tryb „B” (Block).....	289
Tryb „D” (Demand).....	289
Tryb „C” (Cascade).....	289
Tryb „V” (Verify).....	289
Kaskadowe łączenie układów 8237A	290
Programowanie kontrolerów DMA	290
Adresy portów kontrolerów DMA w komputerze IBM PC/XT	291
„Sztuczne” porty komputera PC/XT	292
Adresy portów kontrolerów DMA w komputerze IBM PC/AT	292
„Sztuczne” porty komputera PC/AT	293
Budowa rejestrów wewnętrznych.....	294
Rejestr żądań (port 009h w PC/XT, 009h i 0D2h w PC/AT).....	294
Rejestr stanu (port 008h w PC/XT, 008h i 0D0h w PC/AT).....	294
Rejestr rozkazów (port 008h w PC/XT, 008h i 0D0h w PC/AT).....	294
Rejestr maski kanału (port 00Ah w PC/XT, 00Ah i 0D4h w PC/AT)	295
Rejestr maskujący (port 00Fh w PC/XT, 00Fh i 0DEh w PC/AT)	295
Rejestr trybu (00Bh w PC/XT, 00Bh i 0D6h w PC/AT):.....	296
Przebieg transmisji.....	297
Komputer IBM PC.....	297
Komputer IBM PC/XT	298
Komputer IBM PC/AT	299
Kanały 16-bitowe	299
Układ odświeżania pamięci	300
Rozdział 7. System obsługi przerwania sprzętowych.....	303
Układ scalony 8259A	304
Cykl przyjęcia zgłoszenia	306
Kaskadowe łączenie kontrolerów przerwania.....	307
Fazy obsługi przerwania od układu Slave	307
Programowanie kontrolera przerwania.....	309
Inicjowanie pracy układu.....	309
Polling.....	313
Przerwanie niemaskowalne (NMI).....	314
Obsługa przerwania z magistral ISA, PCI i AGP.....	315
Rozdział 8. Obsługa stacji dyskieta.....	319
Fizyczna organizacja danych na dyskietce	321
Programowanie operacji dyskowych.....	324
Programowanie operacji dyskowych z poziomu systemu MS-DOS	324
Przerwanie 25h	325

Przerwanie 26h	326
Przerwanie 21h	326
Obsługa dysków za pomocą funkcji BIOS-u.....	327
Funkcja 00h	328
Funkcja 01h	329
Funkcja 02h	329
Funkcja 03h	330
Funkcja 04h	330
Funkcja 05h	331
Funkcja 08h	333
Funkcja 15h	335
Funkcja 16h	336
Bezpośredni dostęp do kontrolera napędu dysków elastycznych.....	336
Rejestry kontrolera napędu dysków elastycznych.....	337
Cykl rozkazowy kontrolera.....	339
Faza przygotowawcza.....	339
Faza przekazywania rozkazu	339
Budowa przykładowego rozkazu — rozkaz RS (Read Sector)	340
Faza przekazywania rozkazu.....	340
Faza przekazywania danych.....	341
Faza końcowa	342
Alternatywne metody transmisji danych	345
Uwzględnianie mechanicznych własności napędu	346
Zabezpieczanie danych — kod CRC	348

Rozdział 9. Obsługa dysku twardego.....351

Budowa kontrolera.....	351
Systemy kodowania MFM i RLL	352
Fizyczna organizacja danych i formatowanie.....	354
Formatowanie wysokiego poziomu.....	355
Formatowanie niskiego poziomu.....	356
Wykrywanie i korekcja błędów	358
Standard AT-BUS.....	361
Wstęp	362
Złącze fizyczne	363
Dostęp CPU do dysku AT-BUS	366
Rejestr danych (1F0h)	368
Rejestr błędów (1F1h).....	368
Rejestr prekompensacji (Features Register: 1F1h)	368
Rejestr numeru sektora (Sector Number Register: 1F3h)	369
Rejestr liczby sektorów (Sector Count Register: 1F2h).....	369
Rejestry numeru cylindra (Cylinder Low/High Register: 1F4h, 1F5h)	369
Rejestri napęd/głowica (Device/Head Register: 1F6h)	369
Rejestr stanu (Status Register: 1F7h)	370
Rejestr rozkazów (Command Register: 1F7h).....	370
Alternatywny rejestr stanu (3F6h).....	372
Rejestr sterujący (3F6h)	372
Rejestr adresu napędu (3F7h).....	372
Cykl programowania kontrolera	373
Przekazywanie rozkazu	373
Przekazywanie danych	373
Faza końcowa	374
Przykład realizacji rozkazu CZYTAJ SEKTOR	375
Rozszerzenia standardu pierwotnego	377

Wzrost pojemności dysków	380
Ograniczenia wnoszone przez BIOS	381
Bariera 504 MB	381
Metody omijania bariery 504 MB	384
Adresy liniowe (LBA)	384
Translacja XCHS (eXtended Cylinder-Head-Sector)	386
Straty pojemności	386
Bariera 2,1 GB	387
Bariera 8 GB	387
Przekraczanie bariery 8 GB	388
Bariera 32 GB	389
Bariera 128 GB	390
Ograniczenia wnoszone przez systemy operacyjne	391
Limit FAT-16 (bariera 2 047 MB)	391
Bariera 4 GB	392
Windows NT — bariery 4 GB i 8 GB	392
Windows 95 — bariera 32 GB	393
Windows 95/98/98ME — ograniczenie 69 GB	393
Podnoszenie pasma przepustowego magistrali	393
Tryby PIO	394
Tryby DMA	395
Tryb Ultra DMA/33	395
Tryb Ultra DMA/66	400
Tryby Ultra ATA/100 i Ultra ATA/133	402
Blok informacyjny	403
Realizacja rozkazu Identify Device	403
Faza przekazywania rozkazu	404
Faza przekazywania danych	404
Faza końcowa	404
Lista rozkazów	409
Funkcje oszczędnościowe	410
System PM	410
System APM	412
Funkcje akustyczne	413
Dostęp do funkcji AAM	414
Rozdział 10. Szeregowa magistrala ATA	417
Specyfikacja	418
Sterowanie	419
Okablowanie	419
Protokół i transmisja	421
Rozdział 11. Standard SCSI	429
Realizacja magistrali	432
Organizacja protokołu	435
Fazy pracy magistrali	436
Szyna wolna (Bus Free)	437
Faza rozstrzygnięcia (Arbitration Phase)	439
Wybór (Selection Phase)	441
Reselekcja (Reselection)	444
Fazy informacyjne	446
Transfer danych w fazach informacyjnych	449
Tryb asynchroniczny	449
Tryb synchroniczny	451
Tryb synchroniczny „Fast”	453
Zmiana kierunku transmisji	456

Sytuacje wyjątkowe	456
Uwaga (Attention)	456
Zerowanie (Reset)	458
Rozkazy systemowe	460
Informacja statusowa	464
Komunikaty (Messages)	465
00h: COMMAND COMPLETE (zakończono wykonanie rozkazu)	467
02h: SAVE DATA POINTERS (zachowaj zestaw wskaźników)	
03h: RESTORE POINTERS (przywróć zestaw wskaźników)	467
04h: DISCONNECT (rozłączenie)	467
05h: INITIATOR DETECTED ERROR	
(wykryto nienaturalne zachowanie inicjatora)	467
06h: ABORT (przerwij natychmiast)	467
07h: MESSAGE REJECT (odmowa przyjęcia wiadomości)	467
08h: NO OPERATION (wiadomość pusta)	468
09h: MESSAGE PARITY ERROR (wykryto błąd parzystości)	468
0Ah: LINKED COMMAND COMPLETE (zakończono rozkaz cząstkowy)	468
0Bh: LINKED COMMAND COMPLETE WITH FLAG	
(zakończono rozkaz cząstkowy plus flaga)	468
0Ch: BUS DEVICE RESET (wyzerowanie)	468
0Dh: ABORT TAG (porzuć wykonanie procesu)	468
0Eh: CLEAR QUEUE (wyczyść kolejkę procesów)	468
20h: SIMPLE QUEUE TAG (umieść w kolejce) 21h: HEAD OF QUEUE TAG	
(umieść na szczycie) 22h: ORDERED QUEUE TAG (umieść na końcu)	468
12h: CONTINUE I/O PROCESS 13h: TARGET TRANSFER DISABLE	469
80h – FFh: IDENTIFY (identyfikacja jednostki LUN)	469
01h: SYNCHRONOUS DATA TRANSFER REQUEST	
(uzgodnienie RAO i TP)	469
Procedura uzgadniania	470
System wskaźników	470
Przykładowa wymiana danych	472
SCSI w komputerach PC	476
Host-Adapter	478
Okablowanie	480
Terminatory	482
Rozszerzenia SCSI	485
Rozdział 12. Złącze 1394 (Fire Wire)	491
Ogólne założenia standardu	492
Tryby i prędkość transmisji	492
Topologia	493
Okablowanie	493
Gwarantowane pasmo transmisyjne	494
Rozdział 13. Karty graficzne	495
Przegląd kart graficznych	495
Omówienie kart graficznych EGA, VGA i SVGA	499
Tryby tekstowe	502
Tryby graficzne	503
Rozdzielczość obrazu	503
Tryby zapisu i odczytu pamięci obrazu	504
Tryb zapisu 0	504
Tryb zapisu 1	505
Tryb zapisu 2	505
Tryb zapisu 3	505

Tryb odczytu 0.....	505
Tryb odczytu 1.....	505
Standard VESA.....	506
Rejestry sterowników EGA/VGA	506
Rejestry zewnętrzne (External/General registers)	508
Pomocniczy rejestr wyjściowy MOR (Miscellaneous Output Register)	
— adres 3C2h/3CCh	508
Rejestr urządzeń zewnętrznych FCR (Feature Control Register)	
— adres 3DAh/3CAh.....	508
Zerowy rejestr stanu ISRZ (Input Status Register Zero) — adres 3C2h.....	509
Pierwszy rejestr stanu ISRO (Input Status register one) — adres 3BAh (3DAh).....	509
Rejestr odłączenia sterownika VSER (Video Subsystem Enable Register)	
— adres 3C3h.....	509
Układ sekwencyjny.....	510
Rejestr adresowy układu sekwencyjnego SAR (Sequencer Address Register)	
— adres 3C4h.....	510
Rejestr informacyjny układu sekwencyjnego — adres 3C5h	510
Rejestr zerowania RR (Reset Register) — indeks 00h.....	510
Rejestr trybu taktowania CMR (Clocking Mode Register) — indeks 01h	510
Rejestr blokowania pamięci MMR (Map Mask Register) — indeks 02h.....	511
Rejestr zbioru znaków CMR (Character Map Register) — indeks 03h.....	511
Rejestr trybu dostępu do pamięci MMR (Memory Mode Register) — indeks 04h.....	512
Układ graficzny	512
Rejestr adresowy układu graficznego GAR (Graphics 1 and 2 Address Register)	
— adres 3CEh	512
Rejestr informacyjny układu graficznego — adres 3CFh.....	512
Rejestr ustawiania-zerowania SRR (Set/Reset Register) — indeks 00h.....	512
Rejestr zezwolenia na ustawianie-zerowanie ESRR (Enable Set/Reset Register)	
— indeks 01h	513
Rejestr porównania kolorów CCR (Colour Compare Register) — indeks 02h	513
Rejestr przesunięcia i wyboru funkcji DRFSR	
(Data Rotate-Function Select Register) — indeks 03h.....	514
Rejestr wyboru płatu do odczytu RMSR (Read Map Select Register)	
— indeks 04h	514
Rejestr trybu dostępu do pamięci MOR (Mode Register) — indeks 05h	514
Rejestr dodatkowy MIR (Miscellaneous Register) — indeks 06h.....	515
Rejestr pominięcia koloru CDCR (Colour don't Care Register) — indeks 07h.....	516
Rejestr modyfikacji bitów BMR (Bit Mask Register) — indeks 08h	516
Układ sterowania atrybutem	517
Rejestr adresowy układu sterowania atrybutem G1&2AR	
(Graphics 1 and 2 Address Register) — adres 3C0h	517
Rejestr informacyjny układu sterowania atrybutem — adres 3C0h/3C1h.....	517
Rejestry palety PR (Palette Registers) — indeksy 00h – 0Fh.....	518
Rejestr sterowania trybem pracy MCR (Mode Control Register) — indeks 10h	518
Rejestr krawędzi ekranu OR (Overscan Register) — indeks 11h.....	519
Rejestr uwzględnianych płatów pamięci CPER (Colour Plane Enable Register)	
— indeks 12h	519
Rejestr przesunięcia poziomego HPPR (Horizontal Pel Panning Register)	
— indeks 13h	519
Rejestr wyboru koloru CSR (Colour Select Register) — indeks 14h	520
Przetwornik cyfrowo-analogowy.....	520
Rejestr ograniczenia koloru PELMR (PEL Mask Register) — adres 3C6h	521
Rejestr stanu przetwornika DACSR (DAC Status Register) — adres 3C7h	521

Rejestr adresowy odczytu przetwornika PELARMR (PEL Address Read Mode Register) — adres 3C7h.....	522
Rejestr adresowy zapisu przetwornika PELAWMR (PEL Address Write Mode Register) — adres 3C8h.....	522
Rejestr informacyjny przetwornika PELDR (PEL Data Register) — adres 3C9h.....	523
Układ sterowania wyświetlaczem (CRT Controller).....	523
Rejestr indeksowy układu sterowania wyświetlaczem CRTCAR (CRTC Address Register) — adres 3B4h (3D4h)	523
Rejestr informacyjny układu sterowania wyświetlaczem — adres 3B5h (3D5h).....	523
Rejestr całkowitego czasu wyświetlania linii HTR (Horizontal Total Register) — indeks 00h.....	523
Rejestr końca wyświetlania poziomego HDER (Horizontal Display End Register) — indeks 01h	524
Rejestr początku wygaszania poziomego SHBR (Start Horizontal Blanking Register) — indeks 02h.....	524
Rejestr końca wygaszania poziomego EHBR (End Horizontal Blanking Register) — indeks 03h.....	524
Rejestr początku powrotu poziomego SHRR (Start Horizontal Retrace Register) — indeks 04h	525
Rejestr końca powrotu poziomego EHRR (End Horizontal Retrace Register) — indeks 05h.....	525
Rejestr całkowitego czasu wyświetlania obrazu VTR (Vertical Total Register) — indeks 06h.....	525
Rejestr przepelnień układu sterowania wyświetlaczem OVRFLR (Overflow Register) — indeks 07h.....	526
Rejestr położenia pierwszej linii PSLR (Preset Scan Line Register) — indeks 08h	526
Rejestr ostatniej linii znaku MSLR (Max Scan Line Register) — indeks 09h	526
Rejestr pierwszej linii kursora CSR (Cursor Start Register) — indeks 0Ah.....	527
Rejestr ostatniej linii kursora CER (Cursor End Register) — indeks 0Bh	527
Rejestry adresowe SAHR, SALR (Start Address High Register, Start Address Low Register) — indeksy 0Ch i 0Dh	527
Rejestr pozycji kursora CLHR, CLLR (Cursor Location High Register, Cursor Location Low Register) — indeksy 0Eh i 0Fh	528
Rejestr początku powrotu pionowego VRS (Vertical Retrace Start) — indeks 10h	528
Rejestr końca powrotu pionowego VRE (Vertical Retrace End) — indeks 11h	528
Rejestr końca wyświetlania pionowego VDER (Vertical Display End Register) — indeks 12h.....	529
Rejestr długości linii OR (Offset Register) — indeks 13h.....	529
Rejestr pozycji podkreślenia ULR (Underline Location Register) — indeks 14h.....	529
Rejestr początku wygaszania pionowego SVBR (Start Vertical Blanking Register) — indeks 15h	530
Rejestr końca wygaszania pionowego EVBR (End Vertical Blanking Register) — indeks 16h	530
Rejestr trybu adresowania MCR (Mode Control Register) — indeks 17h	530
Rejestr porównania linii LCR (Line Compare Register) — indeks 18h	531
Funkcje BIOS-u obsługujące karty graficzne.....	532
Funkcje określające tryb pracy i ogólne parametry sterownika	532
Funkcja 00h — wybór trybu pracy sterownika (EGA/VGA)	532
Funkcja 01h — określenie postaci kursora (EGA/VGA).....	533
Funkcja 02h — ustawienie pozycji kursora (EGA/VGA).....	534
Funkcja 03h — pobranie pozycji i postaci kursora (EGA/VGA)	534
Funkcja 05h — ustawienie numeru wyświetlanej strony (EGA/VGA).....	534

Funkcja 06h — przewinięcie tekstu w górę (EGA/VGA)	535
Funkcja 07h — przewinięcie tekstu w dół (EGA/VGA)	535
Funkcja 0Fh — pobranie numeru trybu pracy sterownika (EGA/VGA)	536
Funkcje dostępu do ekranu	536
Funkcja 08h — pobranie kodu i atrybutu znaku, znajdującego się w miejscu wskazywanym przez kursor (EGA/VGA)	536
Funkcja 09h — ustawienie atrybutu i wypisanie znaku w pozycji wskazywanej przez kursor (EGA/VGA)	536
Funkcja 0Ah — wypisanie znaku w pozycji wskazywanej przez kursor (EGA/VGA)	537
Funkcja 0Bh — wybranie koloru tła i krawędzi ekranu/ wybranie palety kolorów	537
Funkcja 0Ch — wyświetlenie punktu (piksela) w graficznych trybach pracy (EGA/VGA)	538
Funkcja 0Dh — odczytanie koloru punktu (piksela) w graficznych trybach pracy (EGA/VGA)	539
Funkcja 0Eh — wyświetlenie znaku z przemieszczeniem kursora (EGA/VGA)	539
Funkcje służące do definiowania kolorów	540
Funkcja 10h — operacje na paletce kolorów	540
Funkcje generatora znaków	547
Funkcja 11h — działania na generatorze znaków	547
Funkcje konfigurujące sterownik	555
Funkcja 12h — konfiguracja sterownika	555
Funkcje uzupełniające	559
Funkcja 13h — wypisanie ciągu znaków (EGA/VGA)	559
Funkcja 1Ah — pobranie informacji o sterowniku graficznym (VGA)	561
Funkcja 1Bh — informacja o stanie i funkcjach aktywnego sterownika (VGA)	562
Funkcja 1Ch — zachowanie-odtworzenie stanu sterownika (VGA)	565
Dodatkowe funkcje obsługiwane przez VESA-BIOS	567
Funkcja 4F00h — informacja o karcie SVGA	567
Funkcja 4F01h — informacja o trybach karty SVGA	567
Funkcja 4F02h — przełączanie trybów VESA	569
Funkcja 4F03h — odczyt bieżącego trybu pracy	569
Funkcja 4F04h — zapamiętanie lub odtwarzanie parametrów karty	570
Funkcja 4F05h — podłączenie banku pamięci obrazu lub odczyt numeru podłączonego banku	570
Funkcja 4F06h — ustawienie lub odczyt szerokości ekranu wirtualnego	571
Funkcja 4F07h — ustawienie (odczyt) lewego górnego rogu ekranu rzeczywistego względem ekranu wirtualnego	571
Funkcja 4F08h — ustawienie (odczyt) liczby bitów odpowiadających barwom podstawowym (w układzie RGB) w tablicy LUT	572
Przykłady zastosowania funkcji BIOS-u kart graficznych	572
Rozpoznanie typu karty graficznej	572
Sprawdzenie ilości pamięci zainstalowanej na karcie graficznej	573
Zmiana wyglądu znaku	574
Pamięć lokalna akceleratora	575
Frame Buffer	575
Bufor Z/W	576
Pamięć tekstur	578
Rozmiar pamięci i organizacja	580
Rodzaje pamięci kart graficznych	583
DRAM	583
EDO i BEDO DRAM	584
SDRAM	584

SGRAM.....	584
MDRAM	584
V-RAM.....	585
WRAM.....	586
DDR-SDRAM.....	586
RAM-DAC	586
Dopasowanie monitora do karty	588
Parametry karty.....	589
Jakość monitora	590
Kanał informacyjny VESA DDC	592
DDC1.....	593
DDC2B.....	593
DDC2AB.....	593
Złącza cyfrowe.....	594
TMDS	594
P&D (EVC)	595
DFP.....	595
DVI.....	597
Rozdział 14. Przetwarzanie obrazów wideo.....	599
Formaty MPEG.....	602
MPEG-1.....	602
MPEG-2.....	604
MPEG-4.....	604
Rozwiązania programowe na platformie PC	605
Kodery	606
Odtwarzacze	608
Wspomaganie sprzętowe	609
Interfejs programowy.....	610
Rozdział 15. Grafika 3D.....	613
Schemat przetwarzania obiektów 3D	614
API.....	616
Geometry Engine	617
Tłumaczenie opisu środowiska	618
Oświetlenie i tekstura	618
Przekształcenia geometryczne	618
Strefa widoczności.....	619
Przekazanie parametrów do jednostki rasteryzującej	619
Rendering Engine	620
Teksturowanie.....	622
Korekcja perspektywy	624
Nakładanie mapy	625
Przyporządkowanie najbliższego punktu (Peak Nearest)	625
Filtracja bilinearna (Bilinear Interpolation)	626
MIP-Mapping	627
Filtracja trilinearna	628
Mieszanie kolorów.....	629
Efekty specjalne.....	630
Podział mocy obliczeniowej.....	631
Rozdział 16. Magistrala AGP	633
Architektura komputera z magistralą AGP.....	633
Sygnały magistrali AGP	636
Szyna adresów i danych.....	636
Sygnały PCI.....	639

Sygnaly kontroli przeplywu.....	640
Sygnaly obslugi zadan AGP	640
Linie statusowe	640
Sygnaly kluczujace	641
Sygnaly USB	642
System zarzadzania zuzywaniem energii	642
Sygnaly specjalne	642
Linie zasilajace	642
AGP w teorii	642
Kolejkowanie	643
Magistrala SBA	645
GART	646
DIME	647
AGP w praktyce.....	649
Wymagania sprzetowe i programowe	649
Kontrola dzialania.....	651
AGP PRO.....	653
AGP 3.0	655
Pasma przepustowe	656
Poziomy napiec.....	656
Nowe sygnaly i przedefiniowania	657
Sygnaly zegarowe.....	657
AGP 2.0	658
AGP 3.0	659
Transakcje.....	659
Pobor pradu.....	659
Zgodnosc w dol.....	660
Rozdzial 17. System odcierania czasu	661
Uklad 8253/8254	661
Tryb 0.....	663
Tryb 1.....	663
Tryb 2.....	664
Tryb 3.....	664
Tryb 4.....	664
Tryb 5.....	665
Programowanie generatora 8253/8254	665
Zegar systemowy	668
Uklad odswiezania pamieci dynamicznej.....	669
Obsluga glownika	671
Drugi uklad 8254 i jego zastosowanie	673
Rozdzial 18. Pamiec CMOS-RAM	675
Organizacja pamieci CMOS	676
Rejestr A (offset 0Ah)	677
Rejestr B (offset 0Bh).....	678
Rejestr C (offset 0Ch).....	679
Rejestr D (offset 0Dh)	680
Rejestr E (offset 0Eh) — Diagnostic Status Byte.....	680
Rejestr F (offset 0Fh) — Shutdown Byte	681
Konfiguracja napędów dyskietek (offset 10h).....	682
Konfiguracja dysków twardych (offset 12h)	682
Pamiec (offset 15h).....	683
Suma kontrolna	684
Bajt konfiguracji sprzetowej (Equipment Byte)	684

Funkcje BIOS-u obsługujące pamięć konfiguracji	684
Funkcja 00h	685
Funkcja 01h	685
Funkcja 02h	685
Funkcja 03h	686
Funkcja 04h	686
Funkcja 05h	687
Funkcja 06h	687
Funkcja 07h	687
Bezpośredni dostęp do pamięci CMOS	688
Rozdział 19. Obsługa urządzeń wejściowych	689
Klawiatura	689
Mapa klawiatury	691
Organizacja obsługi klawiatury przez BIOS	697
Bajt 0040:0017h	700
Bajt 0040:0018h	701
Bajt 0040:0096h	701
Bajt 0040:0097h	701
Funkcje przerwania 16h BIOS-u	702
Funkcja 00h	702
Funkcja 01h	703
Funkcja 02h	703
Funkcja 03h	704
Funkcja 05h	704
Funkcja 10h	705
Funkcja 11h	705
Funkcja 12h	705
Bezpośrednie programowanie klawiatury	706
Rozkaz EDh — sterowanie diodami świecącymi	710
Rozkaz EEh — Echo	710
Rozkaz F0h — wybór zestawu kodów klawiszy	711
Rozkaz F2h — identyfikacja klawiatury (ID)	711
Rozkaz F3h — opóźnienie i prędkość autorepetycji	711
Rozkaz F4h — odblokowanie klawiatury	711
Rozkaz F5h	711
Rozkaz F6h	712
Rozkaz FEh — żądanie powtórzenia transmisji	712
Rozkaz FFh — diagnostyka klawiatury	712
Port wejściowy i port wyjściowy	713
Myszka	716
Funkcja 00h	717
Funkcja 01h	719
Funkcja 02h	719
Funkcja 03h	719
Funkcja 04h	720
Funkcja 05h	720
Funkcja 06h	721
Funkcja 0Bh	721
Manipulator	722
Funkcja 84h	724
Rozdział 20. Łącze szeregowe	725
Asynchroniczna transmisja szeregowa	725
Układ scalony 8250	727

Interfejs RS-232C	730
Tryb simpleksowy	732
Tryb półduplexowy	733
Tryb duplexowy	733
Dostęp do łącza szeregowego z poziomu systemu MS-DOS	735
Funkcja 03h	735
Funkcja 04h	736
Funkcja 3Fh	736
Funkcja 40h	736
Funkcje BIOS-u obsługujące łącze szeregowe	737
Przekroczenie czasu (Time Out)	738
Przerwanie połączenia (Break)	738
Błąd protokołu (Frame Error)	738
Błąd parzystości (Parity Error)	738
Błąd przepełnienia (Overrun Error)	738
Bajt statusowy modemu	739
Funkcja 00h	739
Funkcja 01h	740
Funkcja 02h	741
Funkcja 03h	741
Bezpośrednie programowanie rejestrów UART	742
Przerwania generowane przez łącze szeregowe	743
Rejestr konfiguracji przerwania	743
Rejestr identyfikacji przerwania	744
Rejestr formatu danych (LCR)	745
Prędkość transmisji	746
Sygnały sterujące	746
Rejestr wyjściowych sygnałów sterujących (MCR)	746
Rejestr wejściowych sygnałów sterujących łącza RS-232C (MSR)	747
Rejestr stanu transmisji (LSR)	748
Układ UART 16450	749
Rozdział 21. Łącze równoległe	751
Terminologia BIOS-SETUP	753
Tryby podstawowe	754
Tryb standardowy	754
Rejestr danych (Data Register) — adres bazowy+0	757
Rejestr stanu (Status Register) — adres bazowy+1	758
Rejestr sterujący (Control Register), adres bazowy+2	759
Tryb półbajtowy	760
Tryb bajtowy (PS/2)	760
Tryb EPP	761
Tryb ECP	764
Rejestr ECR (Extended Control Register), adres bazowy+402h	767
Realizacja portu równoległego w ramach architektury PC	768
Dostęp do łącza równoległego poprzez funkcje BIOS-u	770
Funkcja 00h	771
Funkcja 01h	771
Funkcja 02h	772
Dostęp do łącza równoległego z poziomu systemu MS-DOS	773
Funkcja 05h	773
Funkcja 40h	774
Ogólne zastosowanie łącza równoległego	775

Rozdział 22. Złącze USB	781
Specyfikacja.....	781
Topologia.....	782
Okablowanie.....	784
Protokół.....	786
Pakiety.....	787
Sterowanie w trybach LS/FS (USB 1.1).....	789
Sterowanie w trybie HS (USB 2.0).....	790
USB w praktyce.....	793
Windows 95.....	795
Windows 98/98SE/ME/2000/XP.....	795
Windows NT.....	796
USB 2.0.....	796
Rozdział 23. Złącze bezprzewodowe na falach podczerwieni (IrDA)	797
Protokoły komunikacyjne IrDA	797
Standard IrDA-CONTROL	798
Standard IrDA-DATA	799
IrDA w praktyce	801
Windows 95	803
Windows 98	804
Windows ME	804
Windows NT.....	804
Windows 2000.....	804
Windows XP.....	805
Rozdział 24. System ograniczania zużycia energii (ACPI)	807
Model warstwowy ACPI	808
Przegląd stanów energetycznych.....	811
Wskazówki praktyczne.....	813
Windows 98.....	813
Windows 2000.....	814
Programy testujące.....	817
ACPIHCT.....	817
ACPI View	818
Suspender	818
Zestaw Waker-Dozer.....	819
Rozdział 25. Fibre Channel	821
Topologie.....	822
Sterowanie	823
Protokół.....	824
Systemy złącz i okablowanie FC.....	825
Dyski ze złączem FC	827
Rozdział 26. InfiniBand.....	829
Architektura	830
Sterowanie linii.....	831
Protokół.....	831
Okablowanie IBA	832
Rozdział 27. Karta dźwiękowa	835
Synteza FM.....	836
Synteza WaveTable	841
Digitalizacja i obróbka cyfrowa (DSP).....	844
Przetworniki ADC i DAC.....	845

Standard Midi	847
Protokół MIDI	848
MIDI od strony sprzętowej	849
Modelowanie przestrzenne	851
Wyprowadzenia zewnętrzne	855
Sygnały analogowe i mikser	855
Sygnały cyfrowe	856
Wykorzystanie zasobów systemowych	858
„Sound on Board” według specyfikacji AC’97	860
Schemat blokowy systemu AC’97	861
Układ scalony Codec AC’97	863
Rozdział 28. Modemy	865
Implementacje modemów	865
Modulacja sygnału	868
AM i QAM	868
FSK	868
PM i PSK	869
PCM	869
TCM	869
Standardy	869
Standardy Bell	870
V.21/V.22/V.22bis/V.23	871
V.32/V.32bis/V.32turbo	871
V.34 (V.Fast, V.34+, V.FC)	871
V.42 (MNP)/V.42bis	871
V.90	872
V.92	874
Dalsze perspektywy	874
Polecenia AT	874
Łącuchy inicjalizujące	876
Chipset i sterownik modemu	876
Konfiguracja i diagnostyka modemów	877
Środki własne OS	877
Monitory systemowe	878
Hyper Terminal	878
Programy dodatkowe	879
ModemChk	880
MyVitalAgent	881
NetStatLive (NSL)	882
Rozdział 29. PC w sieci lokalnej	883
Model OSI	884
Warstwa fizyczna (L1)	884
Łącze (L2)	885
Sieć (L3)	885
Transport (L4)	885
Sesja (L5)	885
Warstwa prezentacji (L6)	886
Warstwa użytkowa (L7)	886
Karta sieciowa	886
Komunikacja z pamięcią i buforowanie	886
Formowanie ramki	888
Konwersja szeregowo-równoległa	889
Kodowanie i dekodowanie	889
Dostęp do medium	889

Rozdział 30. Zasilacz	891
Zasilacz standardu ATX	893
Specyfikacja ATX/ATX12V	896
Dobór zasilacza.....	898
Przykładowe rozwiązania	899
Rozdział 31. BIOS i jego program konfiguracyjny	903
Organizacja systemu bezpieczeństwa	904
Możliwości omijania systemu bezpieczeństwa	906
Metoda 1 — hasła uniwersalne	906
Metoda 2 — załadowanie parametrów standardowych	907
Metoda 3 — kasowanie CMOS-RAM	907
Metoda 4 — atak poprzez programy szperające	908
Metoda 5 — drugi komputer.....	909
Metoda 6 — przypadki specjalne i komputery przenośne	909
System ochrony przed wirusami atakującymi Boot-Sektor.....	909
System ładowania wartości predefiniowanych.....	910
Mechanizm opuszczania programu konfiguracyjnego	910
Ogólna konstrukcja blokowa	911
Programy pseudo-BIOS-Setup	911
Nowe trendy w programach BIOS	911
Obrazki w BIOS-ie	912
Podwójny BIOS.....	912
POST on Board.....	913
Voice Diagnostic	913
Auto-Overclocking	913
Dodatki.....	949
Dodatek A Przegląd architektury mikroprocesorów	951
Procesory AMD	951
Rodzina K5	951
Rodzina K6	954
Rodzina K6-2.....	955
Rodzina K6 III	958
Athlon	959
Mikroarchitektura	961
Pamięć podręczna L1	963
Pamięć podręczna L2	964
Magistrala.....	964
Dalsze modele Athlon	965
Zasilanie procesorów AMD	969
Procesory Cyrix	969
Rodzina 6x86 (M1).....	969
Rodzina M2	972
ViA Cyrix III	975
Procesory Intel	975
Rodzina Pentium.....	975
Pentium MMX.....	977
Pentium Pro	978
Pentium II	982
Celeron.....	987
Celeron A (Mendocino).....	989
Celeron III.....	989

Celeron/Socket 478.....	990
Pentium II/Xeon.....	990
Pentium III.....	993
Pentium III/Xeon.....	994
Pentium 4.....	998
Pentium 4/Xeon.....	1001
Podstawki i obudowy procesorów Intel.....	1002
Procesory IDT.....	1003
WinChip C6.....	1003
WinChip 2.....	1005
Dodatek B Systemy oznaczeń scalonych układów pamięciowych.....	1007
Układy DRAM.....	1007
System oznaczeń firmy Samsung.....	1008
System oznaczeń firmy Micron.....	1008
Układy SDRAM.....	1011
System oznaczeń firmy Samsung.....	1012
System oznaczeń firmy Mitsubishi.....	1013
System oznaczeń firmy Micron.....	1013
Układy RDRAM.....	1013
Układy DDR SDRAM.....	1014
Dodatek C Baza adresów internetowych.....	1017
Ujęcia całościowe PC.....	1017
Płyty główne.....	1017
Płyty główne — informacje ogólne.....	1017
Płyty główne — producenci.....	1018
Płyty główne — chipset.....	1021
Płyty główne — BIOS.....	1021
Płyty główne — bazy danych.....	1022
Procesory.....	1022
Procesory — informacje ogólne.....	1022
Procesory — producenci.....	1023
Procesory — AMD, 3DNow!.....	1024
IC i pamięci.....	1024
IC i pamięci — informacje ogólne.....	1024
IC i pamięci — producenci.....	1025
IC i pamięci — bazy danych.....	1026
Dyski twarde.....	1026
Dyski twarde — informacje ogólne i bazy danych.....	1026
Dyski twarde — producenci.....	1027
Grafika.....	1028
Grafika — informacje ogólne.....	1028
Grafika — producenci chipów graficznych i kart.....	1028
Napędy CD-R, CD-RW, DVD.....	1032
Napędy CD-R, CD-RW, DVD — informacje ogólne.....	1032
Napędy CD-R, CD-RW, DVD — producenci.....	1032
Modemy.....	1033
Modemy — informacje ogólne.....	1033
Modemy — producenci i chipsety.....	1033
Bazy danych sterowników (Drivers).....	1034
Standardy, specyfikacje, encyklopedie.....	1034
Przeglądy i porównania sprzętu, nowości.....	1035
Optymalizacja sprzętu.....	1036
Chłodzenie.....	1036

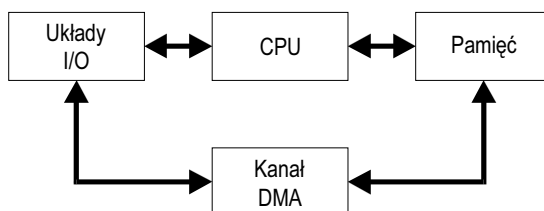
Złącza	1037
Złącza — port równoległy	1037
Złącza — port szeregowy	1037
Złącza — USB	1037
Złącza — IrDA	1037
Złącza — Fire Wire (1394).....	1038
Złącza — klawiatura	1038
Zasilacze	1038
Dodatek D Przykład współpracy z magistralą ISA.....	1041
Opis działania	1041
Wykorzystywane sygnały magistrali	1043
D0 – D7 (Data)	1043
A0 – A9 (Address).....	1043
ALE (Address Latch Enable).....	1043
~IOW (Input/Output Write).....	1043
+5 V/GND	1043
Zastosowane układy scalone.....	1044
74688	1044
74245	1044
74574	1044
7485	1045
7400	1045
7406	1045
Dodatek E CD-ROM dołączony do książki	1047
Skorowidz	1049

Rozdział 6.

Kanał DMA

DMA (*Direct Memory Access*) ma na celu usprawnienie dostępu do pamięci. Ta forma dostępu przewidziana jest dla urządzeń peryferyjnych i nie należy jej mylić z cyklami realizowanymi przez sam procesor. Tych odwołań nie da się usprawnić za pomocą DMA.

Rysunek 6.1.
Idea bezpośredniej komunikacji układów wejścia-wyjścia z pamięcią



W IBM PC, będącym pierwowzorem współczesnych komputerów, zastosowany został tzw. 8-bitowy kontroler DMA (w oryginale układ typu 8237A). W tamtych czasach stanowiło to znaczne ułatwienie pracy dla procesorów 8-bitowych, zmniejszało bowiem zakres ich obowiązków. Kontroler DMA brał na siebie obowiązek realizacji transmisji dla blokowych urządzeń peryferyjnych oraz przedadresowywanie bloków pamięci. Doskonała skądinąd idea DMA przestała odgrywać rolę w momencie wprowadzenia procesorów i386/486. Dysponowały one 32-bitową szyną danych i stały się tak szybkie, iż realizowane w mikrokodzie procesora rozkazy transmisji blokowej typu `rep movsw` były bardziej wydajne niż transmisje blokowe w cyklu DMA. Dodatkowo ograniczenie 8-bitowych kontrolerów to zbyt wolny zegar 4,77 MHz, który ze względu na wymóg kompatybilności stosowany był nadal w modelach AT (kilka generacji wstecz od IBM PC).

Dla ratowania sprawy (począwszy od IBM PC/AT) dodany został drugi kontroler 8237A, co umożliwiło przynajmniej realizację obsługi urządzeń 16-bitowych. Dopiero jednak systemy EISA i MCA, o odmiennej filozofii i architekturze, powróciły do stosowania w pełnym zakresie idei DMA. Zaczęto wreszcie stosować 32-bitowe układy scalone nowej generacji. W tych warunkach kanał DMA mógł obsługiwać transfery do szybkich urządzeń peryferyjnych, takich jak dyski twarde i napędy CD-ROM.

Urządzeniem wejścia-wyjścia może być kontroler napędu dysków (zarówno ten zainstalowany na płycie głównej, jak i ten umieszczony na karcie rozszerzeń), kontroler jednostki pamięci taśmowej (ang. *streamer*) lub inne podobne urządzenie. Każdemu z nich przyporządkowany jest jeden z tzw. kanałów DMA, tj. logicznych strumieni danych, których przepływ jest inicjowany przez procesor.

Każdy z układów 8237A może obsługiwać cztery takie strumienie. Możliwy jest też kaskadowy sposób łączenia kontrolerów 8237A; jedno z wejść układu głównego (*Master*) obsługuje wtedy następny kontroler (*Slave*) i jest tym samym „stracone”. To rozwiązanie stosowane jest w IBM PC/AT i udostępnia siedem kanałów DMA.

Żądające obsługi urządzenie, stowarzyszone z danym kanałem DMA, wysyła sygnał DREQ (*DMA Request*). Układ 8237A reaguje na to przejęciem kontroli nad magistralami systemu i przeprowadzeniem wymaganej transmisji, np. jednego sektora odczytanego z dyskietki do buforu w pamięci operacyjnej (RAM), gdzie odbywa się połączenie sektorów w plik danych. W tym czasie procesor jest wolny i może, do czasu wystąpienia przerwania od kontrolera napędu dysków elastycznych (IRQ 6 — odczytano kolejny sektor), zajmować się obróbką tekstu lub grafiki. Należy tu dodać, że oczywiście nie zawsze oznacza to dalsze wykonywanie programu. Trzeba bowiem pamiętać, że szyny (danych i adresowa) są we władaniu kontrolera DMA, a więc procesor może przetwarzać tylko to, co ma w swoich rejestrach. Wszelkie odwołania do pamięci operacyjnej muszą czekać. Sytuację ratuje trochę pamięć podręczna procesora (ang. *cache memory*) — stosowana w procesorze 80486 wewnętrzna pamięć o wielkości 8 kB. Może w niej być jednak umieszczony tylko kod programu, a nie dane. Dopiero następcą procesora 80486 — Pentium — ma podręczną pamięć danych.

Ta sama akcja realizowana bez układu DMA składałaby się z kolejnych zapisów i odczytów portu kontrolera napędu dysków. Kolejne etapy to załadowanie akumulatora, przesłanie zawartości akumulatora do portu sterującego, odczyt portu danych do akumulatora, przesłanie zawartości akumulatora do komórki pamięci. To dopiero jeden bajt. Oczywiście przy każdym z tych kroków procesor jest w pełni zajęty i nie ma mowy o wielozadaniowości.

Układ scalony 8237A

Rysunek 6.2 przedstawia wyprowadzenia układu scalonego typu 8237A. Jak wiele innych elementów klasycznej architektury, jest on obecnie zawarty w jednym z kilku układów scalonych wysokiej skali integracji, które stanowią chipset nowoczesnej płyty głównej. Już układ 82C206 zawierał w swoim wnętrzu programowane generatory przebiegów czasowych, kontroler DMA, kontroler przerwania i pamięć CMOS. Nowoczesne chipsety cechują się jeszcze większą skalą integracji. Ze względu na konieczność zachowania kompatybilności utrzymuje się jednak funkcje i znaczenie oraz formy dostępu do poszczególnych elementów.

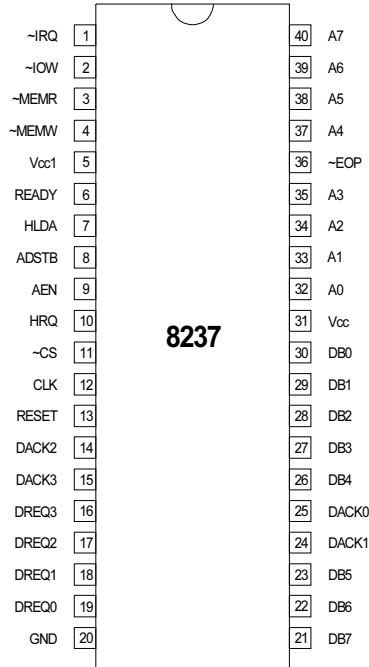
Poniższe zestawienie stanowi krótki opis znaczenia końcówek i sygnałów omawianego układu:

~IOR *I/O Read* — CPU wymusza na tym wejściu aktywny stan niski, chcąc odczytać dane z wewnętrznego rejestru kontrolera DMA (podczas programowania). W czasie transmisji DMA kontroler, przejmąwszy nadzór nad magistralami, sam uaktywnia tę końcówkę, jeżeli dane transmitowane są z urządzenia I/O do pamięci.

~IOW *I/O Write* — CPU wymusza zero, chcąc zapisać dane do rejestru wewnętrznego. Podczas transmisji kontroler DMA przejmuje nadzór nad magistralami i sam uaktywnia tę końcówkę (dane transmitowane są z pamięci do urządzenia I/O).

Rysunek 6.2.

Rozkład
wyprowadzeń
układu 8237A



- ~MEMR *Memory Read* — aktywny (niski) poziom na tej końcówce wskazuje na ogólny kierunek transmisji z pamięci (do pamięci lub urządzenia wejścia-wyjścia).
- ~MEMW *Memory Write* — aktywny (niski) poziom na tej końcówce wskazuje na ogólny kierunek transmisji do pamięci (z pamięci lub urządzenia wejścia-wyjścia).
- AEN *Address Enable* — umożliwia rozróżnienie między adresami dla pamięci i układów wejścia-wyjścia.
- READY Powolne układy pamięci lub urządzenia, uaktywniając ten sygnał, mogą wymusić opóźnienie cyklu odczytu lub zapisu DMA.
- HLDA *Hold Acknowledge* — podając na to wejście stan logicznej jedynki, układ (procesor lub inny kontroler) sprawujący dotychczas pieczę nad magistralami systemu (adresową i danych) wyraża zgodę na przejście sterowania przez kontroler DMA. Dotychczasowy kontroler odłącza się od magistral, ustawiając swoje wyjścia w stan wysokiej impedancji.
- ADSTB *Address Strobe* — informuje układy zewnętrzne, że na szynie adresowej A0 – A7 znajduje się bardziej znacząca część adresu.
- HRQ *Hold Request* — wystawienie logicznej jedynki na tym wyjściu jest reakcją układu na nadejście żądania obsługi transmisji DMA (sprzętowo przez końcówki DREQ0 – DREQ3 lub programowo) i stanowi polecenie przekazania kontroli nad magistralami systemowymi skierowane do CPU lub innego kontrolera magistral.

~CS	<i>Chip Select</i> — wejście aktywowane przez procesor w trybie programowania lub odczytu rejestrów wewnętrznych układu.
CLK	Wejście sygnału taktującego o częstotliwości 4,77 MHz.
RESET	Podanie na to wejście logicznej jedynki powoduje inicjalizację układu 8237A.
DREQ _n	<i>DMA Request</i> — wejścia żądań obsługi. Polaryzację sygnału aktywnego można zaprogramować, tzn. dla każdego z wyjść <i>n</i> można ustalić, czy poziom aktywny oznacza zero, czy jedynkę logiczną.
DACK _n	<i>DMA Acknowledge</i> — kontroler DMA, przejąwszy władzę nad magistralami (wymiana sygnałów HRQ i HLDA), potwierdza na odpowiednim wyjściu <i>n</i> przyjęcie żądania. Aktywny poziom tego sygnału również można zaprogramować.
DB0 – DB7	8-bitowa, dwukierunkowa magistrala danych. Tędy też przekazywany jest bardziej znaczący bajt 16-bitowego adresu.
A0 – A3	Połowa mniej znaczącego bajtu dwukierunkowej szyny adresowej. W trybie programowania kontrolera DMA przez procesor służy do identyfikowania jego wewnętrznych rejestrów, zaś podczas transmisji zawiera cztery najmniej znaczące bity adresu.
A4 – A7	Podczas transmisji zawiera pozostałą część adresu. W stanie spoczynku (i programowania) stan tych linii jest bez znaczenia.
~EOP	<i>End of Process</i> — zero logiczne na tej końcówce (traktowanej jako wyjście) sygnalizuje koniec transmisji, tj. osiągnięcie zadanej liczby przesłań. Podanie na końcówkę ~EOP (traktowaną jako wejście) zera logicznego wymusza przedwczesny koniec transmisji.
Vcc	Napięcia zasilające (+5 V).
GND	Masa zasilania.

Tryby pracy kontrolera DMA

Tryb spoczynkowy „I” (Idle)

W stanie spoczynku, podczas każdego cyklu zegara DMA na wejściu CLK testowane są stany wejść¹ DREQ_n w celu wykrycia żądania obsługi. Przyjmując zgłoszenie, kontroler uaktywnia wyjście HRQ, przez co zmusza procesor (lub inny układ sprawujący w danej chwili kontrolę nad magistralami) do oddania sterowania. Układ taki odpowiada sygnałem podawanym na wejście HLDA i odłącza się od magistral. W odpowiedzi na to układ 8237A wystawia na odpowiednie wyjście DACK_n sygnał potwierdzenia i rozpoczyna transmisję opisaną zawartością rejestrów sterujących.

¹ Dotyczy wejść, które nie są programowo zamaskowane.

W każdym cyklu zegara sprawdzany jest ponadto stan wejścia CS. Aktywny stan tego wejścia (zero logiczne) powoduje przejście układu w stan programowania; procesor może komunikować się z rejestrami układu 8237A, adresując je wejściami A0 – A3. Dane 8-bitowe podawane są bezpośrednio przez linie DB0 – DB7, a 16-bitowe — porcjami po osiem. Rolę przełącznika spełnia końcówka ADSTB (*Address Strobe*). Tak samo odbywa się czytanie wewnętrznych rejestrów statusu.

Tryb „S” (Single)

W tym trybie pracy wykonywane jest pojedyncze przesłanie. Wewnętrzny licznik transmisji jest zmniejszany o jeden, a rejestr adresowy, zależnie od zaprogramowania, o jeden zwiększany lub zmniejszany. Następne przesłanie wymaga ponownego żądania na linii DREQ_n.

Tryb „B” (Block)

Transmisja trwa nieprzerwanie do momentu wystąpienia zewnętrznego sygnału EOP od urządzenia lub osiągnięcia przez licznik transmisji wartości FFFFh. Jeżeli na przykład licznik transmisji zostanie załadowany wartością 511 (dziesiętnie), to pomniejszany o jeden przy każdym przesłaniu przejdzie przez stan 0000h do FFFFh, co spowoduje na przykład wczytanie jednego 512-bajtowego sektora dyskietki wprost do określonego miejsca w pamięci.

Tryb „D” (Demand)

Tryb ten jest podobny do trybu „B”. Różnica polega na tym, że transmisja trwa do czasu zaniknięcia sygnału DREQ_n, pojawienia się sygnału EOP, wykonania zadanej w liczniku transmisji liczby przesłań lub nadejścia żądania obsługi o wyższym priorytecie. Czasowa dezaktywacja sygnału żądania na wejściu DREQ_n powoduje wstrzymanie (ale nie zakończenie) transmisji. Tryb ten ma pewne znaczenie dla układów umieszczanych na kartach rozszerzeń w komputerach PC, bowiem nie jest tam wyprowadzany sygnał EOP.

Tryb „C” (Cascade)

W trybie tym przekazywane są tylko sygnały sterujące od układu nadrzędnego (*Master*). Układ pracujący jako podporządkowany (*Slave*) nie wystawia na szyny systemowe adresów ani sygnałów sterujących.

Tryb „V” (Verify)

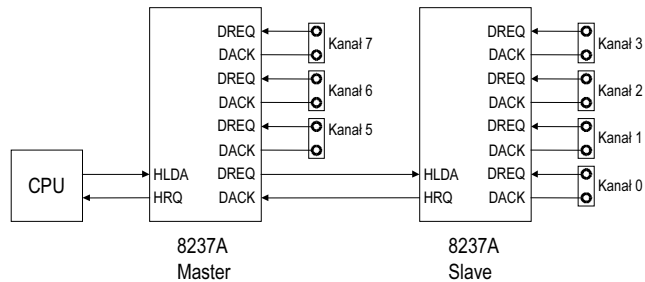
Układ pracuje tak, jak przy transmisji, tzn. wytwarza adresy, reaguje na sygnał EOP i inne sygnały, ale nie generuje sygnałów dostępu do pamięci i urządzeń wejścia-wyjścia (tj. IOR, IOW, MEMR, MEMW). Tryb ten służy do diagnostyki wewnętrznej układu i nie ma nic wspólnego z weryfikacją danych.

Kaskadowe łączenie układów 8237A

Począwszy od modelu AT, firma IBM rozpoczęła instalowanie w swoich komputerach drugiego kontrolera 8237A. Układy te dają się łączyć w kaskady o dowolnej liczbie elementów. Jeden z układów wyższego poziomu (*Master*) odstepuje jedną parę wyprowadzeń $DREQ_n - DACK_n$ (tj. jeden kanał) następnemu układowi 8237A (*Slave*), który dołącza się do niej swoimi wyprowadzeniami HRQ – HLDA. Ponieważ cztery kanały (0, 1, 2, 3) układu 8237A mają określone priorytety, tj. kolejności obsługiwanie zgłoszeń (kanał 0 ma priorytet najwyższy, kanał 3 — najniższy), wszystkie wejścia układu *Slave* mają wyższy priorytet od pozostałych wejść układu *Master*. Kaskadowe połączenie kontrolerów DMA obrazuje rysunek 6.3.

Rysunek 6.3.

Schemat kaskadowego połączenia dwóch układów 8237A



Programowanie kontrolerów DMA

W czasach, gdy projektowano komputer IBM PC, ze względów oszczędnościowych (lub może dlatego, że 40-końcówkowa obudowa wydawała się szczytem luksusu) dwa z niezbędnych dla pracy układów DMA rejestrów umieszczono poza obudową kostki 8237A. Mowa o rejestrze strony pamięci (stosowany jest tu układ 74LS612 — rejestr 4×4) i rejestrze zatraskowym bardziej znaczącego bajtu adresu. Drugim krokiem oszczędnościowym było zgrupowanie w komputerze XT rejestrów strony dla kanałów 0 i 1 fizycznie w jednym rejestrze, choć prowadzą do niego dwa porty (83h i 87h). Konsekwencją tego faktu jest pozbawienie XT możliwości transferów typu pamięć-pamięć na odległości większe od 64 kB, bowiem transfer tego typu posługuje się wyłącznie kanałami 0 i 1.

Adresowanie pamięci przez układy DMA odbywa się podobnie jak dla procesora. Dla pokrycia pełnej przestrzeni adresowej komputera nie wystarcza 16-bitowy rejestr adresowy. CPU składa swój 20-bitowy adres rzeczywisty z 16-bitowego rejestru segmentowego pomnożonego przez 16 i drugiego 16-bitowego rejestru wskazującego przemieszczenie (*offset*) w segmencie o wielkości 64 kB. Ponieważ wewnętrzne rejestry adresowe (dla każdego kanału jeden) układu 8237A są 16-bitowe, można nimi adresować obszar o wymiarach do 64 kB (tzw. *stronę DMA*). Informację o położeniu strony w przestrzeni adresowej zawiera właśnie rejestr strony. Jakkolwiek należy on logicznie do struktury kontrolera DMA, fizycznie zlokalizowany jest poza układem 8237A, w jednym z układów wspomagających umieszczonych na płycie głównej komputera.

Dla każdego kanału DMA istnieje ponadto jeden 16-bitowy rejestr licznika transmisji. Łączna liczba rejestrów układu 8237A wynosi 27.

W danej chwili może być aktywny tylko jeden kanał DMA, tzn. transmisje nie mogą się ze sobą krzyżować. Ponieważ jednak każdy kanał jest programowany niezależnie, istnieje para rejestrów wspólna dla całego układu 8237A, przechowująca adresy i licznik transmisji aktywnej w danej chwili. Dzięki temu jest możliwe tzw. samoprogramowanie układu do stanu początkowego po zakończeniu transmisji.

Programowanie układu 8237A, podobnie jak wielu innych kontrolerów w komputerze PC, odbywa się poprzez zapisywanie przez procesor rejestrów sterujących odpowiednią wartością. Informacja o stanie kontrolera może być odczytywana przez procesor z rejestrów statusu. Rejestry te, będące integralną częścią kontrolera, są postrzegane przez procesor poprzez porty wejścia-wyjścia.

Adresy portów kontrolerów DMA w komputerze IBM PC/XT

Adres	Rejestr
000h	Rejestr adresowy kanału 0
001h	Rejestr licznika kanału 0
002h	Rejestr adresowy kanału 1
003h	Rejestr licznika kanału 1
004h	Rejestr adresowy kanału 2
005h	Rejestr licznika kanału 2
006h	Rejestr adresowy kanału 3
007h	Rejestr licznika kanału 3
008h	Rejestr stanu (odczyt)
008h	Rejestr rozkazowy (zapis)
009h	Rejestr żądań
00Ah	Rejestr maski kanału
00Bh	Rejestr trybu
00Dh	Rejestr pośredni
00Fh	Rejestr maskujący
081h	Rejestr strony kanału 2
082h	Rejestr strony kanału 3
083h	Rejestr strony kanału 0 i 1 ^(A)
087h	Rejestr strony kanału 0 i 1 ^(A)

^(A) Odnosi się do tego samego rejestru, co port 087h — jeden wspólny rejestr strony dla kanałów 1 i 0.

„Sztuczne” porty komputera PC/XT

Adres	Działanie
00Ch	Ustawienie przerzutnika w stan początkowy
0Ddh	Programowa inicjalizacja układu — odpowiednik wystawienia sygnału na końcówce RESET
00Eh	Wyzerowanie rejestru maski (odsłonięcie wszystkich kanałów)

Sztuczność tych portów (zwanymi też „ślepyimi”) jest często stosowaną metodą w technice mikroprocesorowej. Umożliwia ona zainicjowanie akcji zewnętrznej przez procesor. Jakkolwiek w celu odwołania się do nich należy użyć instrukcji języka maszynowego out port, wartość, to druga część instrukcji (wartość) jest ignorowana i może być dowolna. Przykładowo, wspomniany w wyżej opisanych rozkazach przerzutnik jest niezbędny dla poprawnego adresowania rejestrów 16-bitowych. Przed rozpoczęciem przekazywania takiej wartości (najpierw bajt mniej znaczący, potem bardziej znaczący) należy wyzerować przerzutnik. Unika się w ten sposób zamiany bajtów rejestru 16-bitowego mogącej wystąpić na skutek przypadkowego położenia przerzutnika.

Adresy portów kontrolerów DMA w komputerze IBM PC/AT

Adres	Rejestr	Uwagi
000h	Rejestr adresowy kanału 0	(Slave)
001h	Rejestr licznika kanału 0	(Slave)
002h	Rejestr adresowy kanału 1	(Slave)
003h	Rejestr licznika kanału 1	(Slave)
004h	Rejestr adresowy kanału 2	(Slave)
005h	Rejestr licznika kanału 2	(Slave)
006h	Rejestr adresowy kanału 3	(Slave)
007h	Rejestr licznika kanału 3	(Slave)
008h	Rejestr stanu (do odczytu)	(Slave)
008h	Rejestr rozkazowy (do zapisu)	(Slave)
009h	Rejestr żądań	(Slave)
00Ah	Rejestr maski kanału	(Slave)
00Bh	Rejestr trybu	(Slave)
00Dh	Rejestr pośredni	(Slave)
00Fh	Rejestr maskujący	(Slave)
081h	Rejestr strony kanału 2	(Slave)
082h	Rejestr strony kanału 3	(Slave)
083h	Rejestr strony kanału 1	(Slave)

Adres	Rejestr	Uwagi
087h	Rejestr strony kanału 0	(<i>Slave</i>)
089h	Rejestr strony kanału 6	(<i>Master</i>)
08Ah	Rejestr strony kanału 7	(<i>Master</i>)
08Bh	Rejestr strony kanału 5	(<i>Master</i>)
08Dh	Rejestr strony kanału 4	(<i>Master</i> — kaskada do <i>Slave</i>)
0C0h	Rejestr adresowy kanału 4	(<i>Master</i>)
0C1h	Rejestr licznika kanału 4	(<i>Master</i>)
0C2h	Rejestr adresowy kanału 5	(<i>Master</i>)
0C3h	Rejestr licznika kanału 5	(<i>Master</i>)
0C4h	Rejestr adresowy kanału 6	(<i>Master</i>)
0C5h	Rejestr licznika kanału 6	(<i>Master</i>)
0C6h	Rejestr adresowy kanału 7	(<i>Master</i>)
0C7h	Rejestr licznika kanału 7	(<i>Master</i>)
0D0h	Rejestr stanu (do odczytu)	(<i>Master</i>)
0D0h	Rejestr rozkazowy (do zapisu)	(<i>Master</i>)
0D2h	Rejestr żądań	(<i>Master</i>)
0D4h	Rejestr maski kanału	(<i>Master</i>)
0D6h	Rejestr trybu	(<i>Master</i>)
0DAh	Rejestr pośredni	(<i>Master</i>)
0DEh	Rejestr maskujący	(<i>Master</i>)

„Sztuczne” porty komputera PC/AT

Adres	Działanie
0D8h	Ustawienie przerzutnika w stan początkowy (<i>Master</i>)
0DAh	Programowa inicjalizacja układu — odpowiednik wystawienia sygnału na końcówce RESET (<i>Master</i>)
0DCh	Wyzerowanie rejestru maski — odsłonięcie wszystkich kanałów (<i>Master</i>)
00Ch	Ustawienie przerzutnika w stan początkowy (<i>Slave</i>)
00Dh	Programowa inicjalizacja układu — odpowiednik wystawienia sygnału na końcówce RESET (<i>Slave</i>)
00Eh	Wyzerowanie rejestru maski — odsłonięcie wszystkich kanałów (<i>Slave</i>)

Poniżej podano prosty przykład programowania rejestrów 16-bitowych w języku assemblera (kanał 2, adres 6677h, licznik transmisji 0400h).

```

mov al,00h
out 0ch,al ; ustaw przerzutnik
mov al,77h
out 04h,al ; młodszy bajt adresu
mov al,66h

```

```

out 04h,a1 ; starszy bajt adresu
mov a1,00h
out 0ch,a1 ; ustaw przerzutnik
out 05h,a1 ; młodszy bajt licznika
mov a1,04h
out 05h,a1 ; starszy bajt licznika

```

Budowa rejestrów wewnętrznych

Rejestr żądań

(port 009h w PC/XT, 009h i 0D2h w PC/AT)

0	0	0	0	0	bit 2	bit 1	bit 0
---	---	---	---	---	-------	-------	-------

bity 7 – 3 Zawsze zero.

bit 2 Wartość 1 na tym bicie oznacza natychmiastowe uruchomienie transmisji (gdy kolejka oczekujących zgłoszeń jest pusta) lub wprowadzenie żądania do kolejki zgodnie z aktualnym systemem priorytetów. Zero oznacza brak żądania transmisji.

bity 1 – 0 Adres kanału DMA, którego dotyczy żądanie:
 00 — kanał pierwszy (0 lub 4),
 01 — kanał drugi (1 lub 5),
 10 — kanał trzeci (2 lub 6),
 11 — kanał czwarty (3 lub 7).

Rejestr stanu

(port 008h w PC/XT, 008h i 0D0h w PC/AT)

Wewnętrzny stan układu 8237A obrazuje *rejestr stanu*. Można go tylko odczytywać. Pod tym samym adresem znajduje się *rejestr rozkazów* (wyłącznie do zapisu).

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
-------	-------	-------	-------	-------	-------	-------	-------

bity 7 – 4 Wartość 1 na odpowiednim bicie oznacza wystąpienie zgłoszenia od kanału 3 – 0 lub 7 – 4.

bity 3 – 0 Wartość 1 na odpowiednim bicie oznacza osiągnięcie zadanej liczby transmisji dla kanału 3 – 0 lub 7 – 4.

Rejestr rozkazów

(port 008h w PC/XT, 008h i 0D0h w PC/AT)

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
-------	-------	-------	-------	-------	-------	-------	-------

- bit 7 Wartość 1 oznacza, że aktywnym stanem logicznym wyjść $DACK_n$ jest stan wysoki.
- bit 6 Wartość 1 oznacza, że aktywnym stanem logicznym wejść DRQ_n jest stan niski.
- bit 5 Wartość 1 oznacza wydłużony impuls $\sim IOW$ lub $\sim MEMW$. Pełny cykl DMA trwa normalnie przez cztery okresy zegara taktującego. Impuls IOW lub $MEMW$ rozpocznie się wtedy w drugim, zamiast w trzecim, okresie cyklu.
- bit 4 Wartość 1 oznacza, że kanał 0 ma największy, a kanał 3 — najmniejszy priorytet. Zero oznacza obsługiwane zgłoszenia w kolejności ich nadchodzenia.
- bit 3 Wartość 1 wymusza przyspieszony cykl pracy (jeden cykl — 3 okresy zegara taktującego).
- bit 2 Wartość 1 oznacza przejście kontrolera w stan programowania. Kontroler nie reaguje wówczas na zgłoszenia na liniach $DREQ_n$.
- bit 1 Wartość 1 oznacza transfer typu pamięć-pamięć w obrębie jednego bloku o wielkości do 64 kB. Zero oznacza używanie pełnego adresu.
- bit 0 Wartość 1 oznacza przejście do transferu typu pamięć-pamięć. Kanał 0 określa miejsce źródłowe transferu, a kanał 1 docelowe.

Rejestr maski kanału (port 00Ah w PC/XT, 00Ah i 0D4h w PC/AT)

Pojedyncze kanały mogą być programowo wyłączone (zamaskowane) i nie reagować na zgłoszenia. Można to zrealizować, ustawiając *rejestr maski kanału*. Każda operacja maskowania i odsłaniania jednego kanału wymaga jednorazowego załadowania rejestru.

0	0	0	bit 4	bit 3	bit 2	bit 1	bit 0
---	---	---	-------	-------	-------	-------	-------

- bity 7 – 3 Zawsze zero.
- bit 2 Wartość 1 powoduje zamaskowanie kanału.
- bity 1 – 0 Adres kanału DMA, którego dotyczy żądanie:
 00 — kanał pierwszy (0 lub 4),
 01 — kanał drugi (1 lub 5),
 10 — kanał trzeci (2 lub 6),
 11 — kanał czwarty (3 lub 7).

To samo można osiągnąć całościowo, ustawiając jednocześnie żadaną konfigurację masek przez zaprogramowanie *rejestru maskującego*. Rejestr ten służy wyłącznie do zapisu.

Rejestr maskujący (port 00Fh w PC/XT, 00Fh i 0DEh w PC/AT)

0	0	0	0	bit 3	bit 2	bit 1	bit 0
---	---	---	---	-------	-------	-------	-------

- bity 7 – 4 Zawsze zero.
- bit 3 Wartość 1 na tym bicie maskuje kanał czwarty (3 lub 7).
- bit 2 Wartość 1 na tym bicie maskuje kanał trzeci (2 lub 6).
- bit 1 Wartość 1 na tym bicie maskuje kanał drugi (1 lub 5).
- bit 0 Wartość 1 na tym bicie maskuje kanał pierwszy (0 lub 4).

Rejestr trybu (00Bh w PC/XT, 00Bh i 0D6h w PC/AT):

Ustawienie trybu pracy każdego z kanałów odbywa się w *rejestrze trybu*.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
-------	-------	-------	-------	-------	-------	-------	-------

- bity 7 – 6 Tryb pracy:
 - 00 — tryb „D” (*Demand*),
 - 01 — tryb „S” (*Single*),
 - 10 — tryb „B” (*Block*),
 - 11 — tryb „C” (*Cascade*).
- bit 5 Wartość 1 na tym bicie wymusza dekrementację (zmniejszanie o jeden) licznika adresowego podczas każdego cyklu transmisji. Zero oznacza inkrementację licznika.
- bit 4 Wartość 1 powoduje wykonanie samoprogramowania się układu do stanu początkowego po zliczeniu zadanej liczby przesłań.
- bity 3 – 2 W trybie „C” są bez znaczenia, w przeciwnym razie oznaczają kierunek transmisji:
 - 00 — tryb „V”,
 - 01 — zapis do pamięci,
 - 10 — odczyt z pamięci,
 - 11 — nie używane.
- bity 1 – 0 Adres kanału opisanego stanem bitów 3 – 2:
 - 00 — kanał pierwszy (0 lub 4),
 - 01 — kanał drugi (1 lub 5),
 - 10 — kanał trzeci (2 lub 6),
 - 11 — kanał czwarty (3 lub 7).

Przytoczony fragment programu w języku Turbo C pokazuje zasadę transmisji danych przez kanał DMA. Osiem wartości zawartych w zmiennej `Tab1` ma zostać przeniesionych do karty umieszczonej w jednym z gniazd rozszerzających.

Transmisja wyzwalana jest wysokim poziomem na linii `DREQ1`, która jest oczywiście wyprowadzona do gniazd ISA (końcówka B18). Proces może być cyklicznie inicjowany przez impulsy generowane na karcie, a CPU nie bierze w nich udziału.

Układy logiczne karty muszą oczywiście identyfikować właściwy adres przestrzeni adresowej wejścia-wyjścia na podstawie sygnałów `AEN`, `~IOW` i `~DACK1`.

```

#include <dos.h>

#define Przerzutnik 0x0c
#define LicznAdrKan_1 0x02
#define RejMaskiKan_1 0x0a
#define RejTrybu 0x0b
#define RejStronyKan_1 0x83
#define LicznTransKan_1 0x03
#define RejStanu 0x08

char Tabl[8] = { 11,12,13,14,15,16,17,18 } ;
unsigned int Adres;
unsigned char Strona;
void TestDMA (void)
{
    outp (RejMaskiKan_1,0x05);
    /* zablokuj kanał 1 na czas programowania */
    outp (RejTrybu,0xa9);
    /* Tryb "B", licznik adresów dekrementowany, samoprogramowanie
    wyłączone, czytanie z pamięci, programowany kanał nr 1 */
    Adres=(FP_SEG(Tabl) << 4 + FP_OFF(Tabl)) & 0xffff;
    /* ostatnie 16 bitów adresu rzeczywistego obiektu */
    Strona=(FP_SEG(Tabl) & 0xf000) >> 12;
    /* strona=0000xxxx, gdzie xxxx to pierwsze 4 bity adresu */
    outp(RejStronyKan_1,Strona);
    outp(Przerzutnik,0xff);
    outp(LicznAdrKan_1,(Adres & 0xff)); /* młodszy bajt adresu */
    outp(LicznAdrKan_1,(Adres >> 8) & 0xff); /* starszy bajt */
    outp(Przerzutnik,0xff);
    outp(LicznTransKan_1,0x08); /* młodszy bajt licz. transmisji*/
    outp(LicznTransKan_1,0x00); /* starszy bajt */
    outp(RejMaskiKan_1,0x01); /* odblokuj kanał nr 1 */
    while((inp(RejStanu) & 0x02) == 0);
    /* czekaj na koniec transmisji */
}

```

Przebieg transmisji

Budowa kanału DMA zależy od formy architektury komputera i dlatego przebieg transmisji jest inny w przypadku IBM PC, PC/XT i PC/AT.

Komputer IBM PC

Komputer PC z procesorem 8088 zawiera 8-bitową magistralę danych i 20-bitową magistralę adresową. Dla pokrycia całej przestrzeni adresowej należy do wewnętrznych 16-bitowych rejestrów adresowych układu 8237A dodać 4-bitowy zewnętrzny rejestr strony.

W PC obsługiwane mogą być wyłącznie 8-bitowe urządzenia wejścia-wyjścia, tj. takie, których porty komunikacyjne mają szerokość 8 bitów (szerokość magistrali danych komputera).

Transmisja jednego bajtu z pamięci operacyjnej do urządzenia wejścia-wyjścia przebiega następująco:

- ◆ Urządzenie zgłasza sygnałem na linii $DREQ_n$ żądanie obsługi.
- ◆ Układ 8237A przejmuje od procesora kontrolę nad magistralą systemową.
- ◆ Układ 8237A wystawia na liniach A0 – A7 bardziej znaczącą część adresu, która jest zatrzaskiwana w zewnętrznym rejestrze sygnałem ADSTB. Rejestr strony programowany jest wcześniej bezpośrednio przez CPU.
- ◆ Rejestr strony, adres zapisany w rejestrze zatrzaskowym i aktualny adres na liniach adresowych układu 8237A tworzą 20-bitowy adres na magistrali adresowej systemu.
- ◆ Układ 8237A uaktywnia (podając na odpowiednią linię zero logiczne) sygnał MEMR.
- ◆ Sterownik pamięci wystawia na magistralę danych zawartość zaadresowanej komórki pamięci.
- ◆ Układ 8237A uaktywnia (zero logiczne) sygnał $\sim IOW$.
- ◆ Urządzenie wejścia-wyjścia (identyfikowane za pomocą sygnałów $DREQ_n$, $DACK_n$ i AEN — układ DMA nie wytwarza adresów dla urządzeń wejścia-wyjścia!) pobiera bajt z magistrali danych do swojego buforu.

Jak widać, przy transmisjach z udziałem pamięci i urządzenia wejścia-wyjścia, nie występuje konieczność buforowania danych w układzie DMA.

Tabela 6.1. *Przyporządkowanie kanałów DMA w modelu PC*

Kanał	Przyporządkowanie
0	Układ odświeżania pamięci RAM
1	Zarezerwowany dla karty SDLC (standard szeregowej transmisji synchronicznej firmy IBM, który nigdy nie doczekał się popularności)
2	Kontroler napędu dysków elastycznych
3	Kontroler dysku twardego

Komputer IBM PC/XT

Ten typ komputera ma już 16-bitową magistralę danych. Nic to jednak nie daje urządzeniom wejścia-wyjścia na kartach rozszerzeń, których gniazda są i tak 8-bitowe (16-bitowa jest tylko organizacja pamięci). Oznacza to, że na liniach A0 – A7 magistrali danych może wystąpić jedynie bajt o adresie parzystym, a na liniach A8 – A15 odpowiednio bajt o adresie nieparzystym. Dodatkowe układy logiczne muszą kierować właściwą część 16-bitowej magistrali danych do 8-bitowego urządzenia wejścia-wyjścia, natomiast druga połowa magistrali musi być ewentualnie odłączona (zależnie od tego, czy adres urządzenia jest parzysty, czy nie). Bajty o parzystych adresach umieszczane są w „dolnej” połowie magistrali danych.

Ten sam problem dotyczy oczywiście również zapisu do pamięci. Podczas transmisji bloku danych pod kolejne adresy w pamięci, urządzenie musi przesuwac co drugi bajt „na drugą stronę” magistrali danych. Komputer XT ma jeden kontroler 8237A, wszystkie kanały są 8-bitowe, a ich przydział jest taki, jak w modelu PC.

Komputer IBM PC/AT

Model ten, w którym zastosowano procesor 80286, ma również 16-bitową magistralę danych i występuje w nim ten sam problem, co w modelu XT. Podczas sekwencyjnego dostępu do pamięci należy naprzemiennie używać jednej połowy systemowej szyny danych. Komputery AT z procesorem 80386 lub 80486 mają zwykle 32-bitową organizację pamięci. Adresowany bajt pojawia się na jednej z czterech części magistrali danych.

Tabela 6.2. *Przyporządkowanie kanałów DMA w modelu AT*

Kanał	Przeznaczenie	Kanał	Przeznaczenie
0	<i>Slave</i> , układ odświeżania pamięci	4	<i>Master</i> , kaskada do <i>Slave</i>
1	<i>Slave</i> , wolny	5	<i>Master</i> , wolny
2	<i>Slave</i> , kontroler napędu dysków elastycznych	6	<i>Master</i> , wolny
3	<i>Slave</i> , wolny	7	<i>Master</i> , wolny

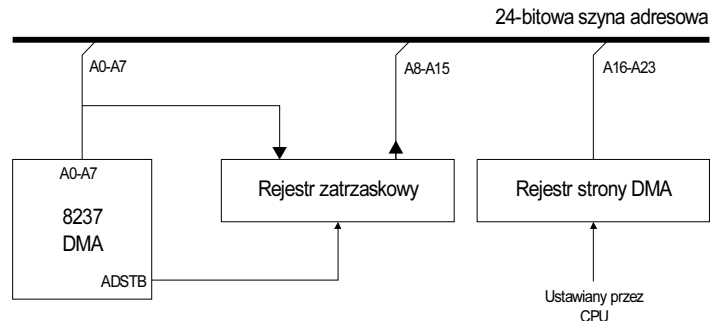
Kanały 5, 6, 7 są 16-bitowe, natomiast kanały 0 – 3 obsługują transmisje 8-bitowe.

Kanały 16-bitowe

Nie omawiane do tej pory kanały 5, 6 i 7 układu *Master* przystosowane są do transmisji 16-bitowej. Wewnętrzny 8-bitowy rejestr pośredni układu 8237A nie bierze udziału w transmisji między pamięcią i układami wejścia-wyjścia (w żadną ze stron). Dane przejmowane są bezpośrednio z szyny danych lub z jej części.

Wewnętrzne rejestry adresowe układu 8237A są 16-bitowe. Układ ma jednak tylko osiem wyjść adresowych A0 – A7. Adres jest oczywiście multipleksowany. Układ wystawia na końcówki A0 – A7 najpierw bardziej znaczącą część adresu i uaktywnia sygnał ADSTB. Zewnętrzny 8-bitowy rejestr zatraskowy przechwytuje ten bajt i wystawia na szynę adresową systemu jako bity A8 – A15. W następnym cyklu zegara układ 8237A wystawia mniej znaczący bajt adresu, który jest bezpośrednio podawany na szynę adresową. Pozostałe osiem bitów, w przypadku 24-bitowej szyny adresowej, doprowadza się z rejestru strony. Mechanizm ten przedstawiono na rysunku 6.4.

Rysunek 6.4.
Schemat wytwarzania 24-bitowego adresu w transmisji DMA



Efektywny adres dla transmisji 16-bitowych tworzony jest z części. Bity A0 – A15 montowane są z dwóch składników, bardziej znaczącej części adresu przechowywanej w zewnętrznym rejestrze zatraskowym i mniej znaczącej, wystawianej przez układ 8237A

bezpośrednio na linii A0 – A7. Wynik złożenia przesuwany jest o jeden bit w lewo, tworząc linie adresowe A1 – A16, a brakujący bit A0 jest zerowany. Taki adres musi wskazywać na dwubajtowe słowo, gdyż pamięć o organizacji 16-bitowej ma słowa rozlokowane na adresach parzystych. Linie adresowe A17 – A23 uzupełniane są zawartością rejestru strony. Strona taka ma więc wielkość 128 kB (adresowana jest 17 bitami A0 – A16), podczas gdy w przypadku kanałów 8-bitowych wielkość strony wynosi 64 kB.

Podczas transmisji przenoszone są całe słowa 16-bitowe. Na magistrali danych pojawia się zawsze słowo o adresie parzystym, nie ma więc konieczności naprzemiennego przełączania bajtów z magistrali danych. Systemy z procesorem 80386/486 posługują się (w odniesieniu do swoich 32-bitowych szyn danych) tą samą logiką, co komputer AT w stosunku do magistrali 16-bitowej.

Głównym celem układu DMA jest, jak wiadomo, realizacja przesłań typu pamięć — urządzenie wejścia-wyjścia bez udziału procesora. Transmisje typu pamięć — pamięć są dużo szybciej realizowane przez sam procesor, tym bardziej, że odpada wtedy konieczność wewnętrznego buforowania bajtu (lub — co gorsza — słowa) w 8-bitowym rejestrze pośrednim układu DMA. Poprzez opisane powyżej przesuwanie adresu można uzyskać adresy dla słów nawet 64-bitowych i większych, ale transmisja musi wtedy obejmować całkowitą liczbę takich słów. Urządzenie blokowe chcące przesłać np. 1025 bajtów nie będzie więc właściwie obsługane.

W architekturach odmiennych od AT (np. EISA) kontrolery DMA są 32-bitowe i tym samym dopasowane do szerokości szyn. Również szybkość zegara DMA przekracza znacznie początkowe 4,77 MHz pamiętające czasy IBM PC.

Układ odświeżania pamięci

W charakterze pamięci operacyjnej PC stosowane są układy dynamiczne, które należą do grupy tzw. pamięci ulotnych. Ich zawartość zanika po pewnym (stosunkowo krótkim) czasie i musi być odnawiana. Proces ten (widziany od strony elektronicznej) nie różni się od zwykłego odczytu. Taki „sztuczny” odczyt przeprowadza się całymi wierszami lub kolumnami i musi być on powtarzany z pewną minimalną częstotliwością. Implementacja odświeżania może być zrealizowana na kilka sposobów:

- ◆ przez niezależny sprzętowy układ wbudowany w kontroler pamięci lub wręcz sam chip pamięciowy (SDRAM),
- ◆ przez układ pobudzany impulsami z licznika programowanego 8254,
- ◆ poprzez podprogram wykonywany w odpowiedzi na zgłoszenie przerwania NMI,
- ◆ przez kanał 0 DMA pobudzany impulsami z licznika programowanego 8254 (metoda ta stosowana jest standardowo w PC/XT, rzadziej w PC/AT).

Programowany licznik nr 1 układu 8254 pracuje jako generator przebiegu prostokątnego o częstotliwości około 66 Hz. Jego wyjście połączone jest z końcówką DREQ0 układu 8237A (*Slave*) i wyzwala żądanie obsługi. Kanał 0 zaprogramowany jest w trybie „S” (*Single*) do realizacji pojedynczych transmisji typu pamięć — urządzenie wejścia-wyjścia. Obsługa żądania polega na odczytaniu zawartości komórki i przekazaniu jej do

urządzenia zgłaszającego żądanie. Na pierwszą fazę cyklu składa się przejęcie kontroli nad magistralami, wystawienie adresu na magistralę adresową, wygenerowanie impulsu \sim MEMR. W fazie drugiej aktywowane są impulsy \sim IOW i AEN.

W rzeczywistości do pracy pobudzone zostają również wzmacniacze odczytu pamięci dynamicznej. Powoduje to automatyczne odświeżenie zawartości nie tylko danej komórki, ale i wiersza czy kolumny (zależnie od organizacji pamięci). Adresowane słowo zostaje oczywiście wystawione na magistralę danych. Możliwość pobrania go przez urządzenie wejścia-wyjścia sygnalizowana jest przez układ kontrolera DMA niskim poziomem na wyjściu \sim IOR. Polecenie to jest oczywiście ignorowane, gdyż żadne urządzenie nie reaguje na kombinację sygnałów \sim DACK0, AEN i \sim IOW. W następnym cyklu zegara systemowego dane znikają z magistrali. Każda taka pseudotransmisja powoduje zmniejszenie wewnętrznego licznika transmisji i zwiększenie licznika adresu o jeden. Następnym impuls na wejściu DREQ0 powoduje wygenerowanie następnego adresu.

Układ 8237A może być tak zaprogramowany, by po osiągnięciu zadanej liczby przesłań (dekrementowany licznik transmisji przechodzi przez stan 0000h do FFFFh) następowało ponowne zapisanie rejestrów adresowych i licznika tymi samymi wartościami (patrz bit 4 rejestru trybu). Czynności związane ze wstępnym zaprogramowaniem rejestrów kontrolera DMA zawarte są w procedurach inicjalizacyjnych BIOS-u.