

# ROZDZIAŁ 7

## PRZYKŁADY WYBRANYCH UKŁADÓW SEKWENCYJNYCH

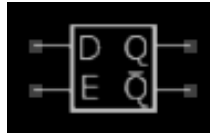
**PRACOWNIA URZĄDZEŃ  
TECHNIKI KOMPUTEROWEJ**  
**DLA UCZNIÓW I STUDENTÓW**



## 7 PRZYKŁADY WYBRANYCH UKŁADÓW SEKWENCYJNYCH

### 7.1 PRZERZUTNIKI W PROGRAMIE ATANUA

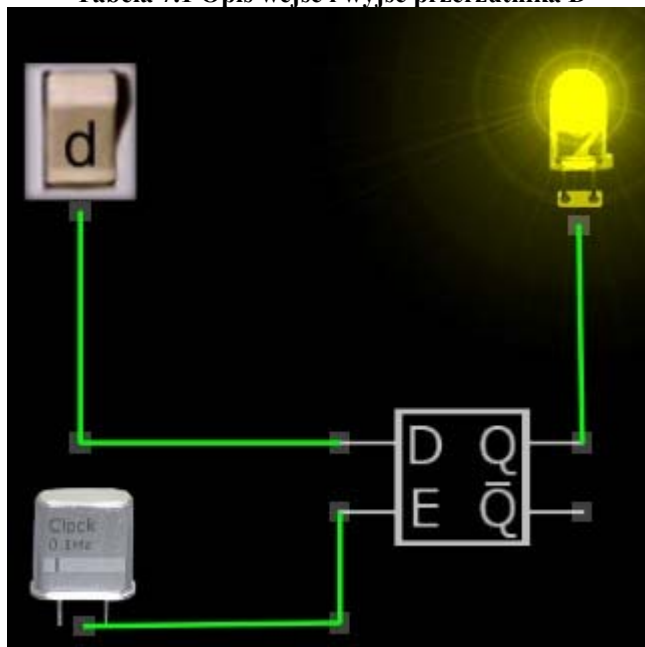
Przerzutnik D synchroniczny



Rysunek 7.1 Symbol przerzutnika D

D	Wejście danych.
E	Wejście synchronizujące (zegarowe)
Q	Wyjście danych (stan przerzutnika).
$\bar{Q}$	Zaprzeczone wyjście danych (zaprzeczony stan przerzutnika).

Tabela 7.1 Opis wejść i wyjść przerzutnika D



Rysunek 7.2 Zasada działania przerzutnika D

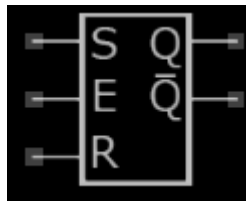
E	D	$Q_{n-1}$	Q	$\bar{Q}$
1	0	-	0	1
1	1	-	1	0
0	-	0	0	1
0	-	1	1	0

Tabela 7.2 Tabela działania przerzutnika D

Wejście E to wejście synchronizujące. Ponieważ jest to przerzutnik synchroniczny, to stan na jego wyjściu Q, może zmienić się tylko, gdy sygnał E jest równy 1. Przerzutnik zapamiętuje wtedy stan wejścia D (i przenosi go na wyjście Q). W pozostałych przypadkach, stan jego wyjścia Q jest poprzednim stanem, czyli  $Q_{n-1}$ .

Przerzutnik ten może służyć jako 1 bitowa komórka pamięci oraz do tworzenia bardziej złożonych układów sekwencyjnych.

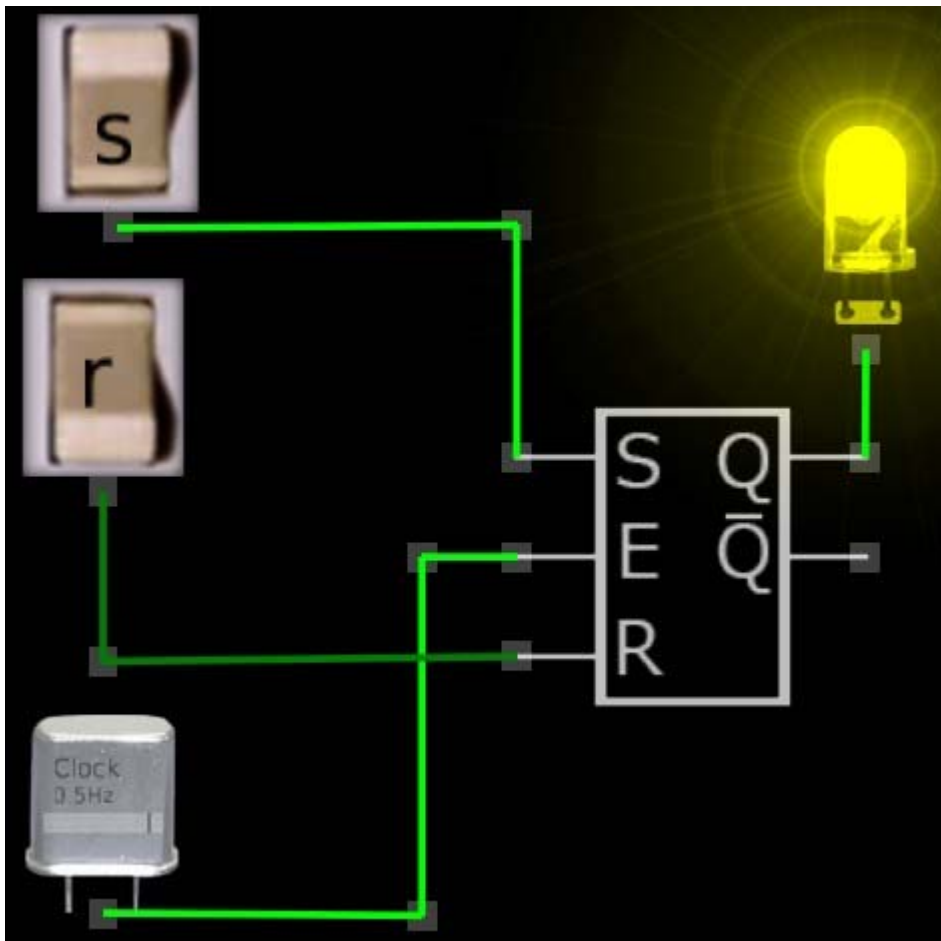
**Przerzutnik SR synchroniczny**



Rysunek 7.3 Symbol przerzutnika SR

S	Wejście danych (wejście ustawiające).
R	Wejście danych (wejście resetujące).
E	Wejście synchronizujące (zegarowe)
Q	Wyjście danych (stan przerzutnika).
$\bar{Q}$	Zaprzeczone wyjście danych (zaprzeczony stan przerzutnika).

Tabela 7.3 Opis wejść i wyjść przerzutnika SR



Rysunek 7.4 Zasada działania przerzutnika SR

E	S	R	Q <sub>n</sub>	Opis słowny
1	0	0	Q <sub>n-1</sub>	Nic nie zmieniaj
1	1	0	1	Ustaw Q = 1
1	0	1	0	Ustaw Q = 0
1	1	1	Stan zabroniony	
0	0	0	Nic nie zmieniaj	
0	1	0		
0	0	1		
0	1	1	Stan zabroniowny	

Tabela 7.4 Tabela działania przerzutnika SR

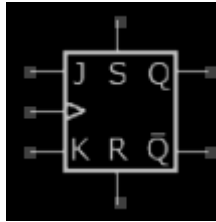
Wejście E to wejście synchronizujące. Ponieważ jest to przerzutnik synchroniczny, to stan na jego wyjściu Q, może zmienić się tylko, gdy sygnał E jest równy 1. Przerzutnik jest

## PRZYKŁADY WYBRANYCH UKŁADÓW KOMBINACYJNYCH

ustawiony w stan 1 (wyjście Q), gdy wejście S = 1. Przerzutnik jest ustawiony w stan 0 (wyjście Q), gdy wejście R = 1. Stany wejść S=1 oraz jednocześnie R=1 są zabronione. Stany wejść S=0 oraz jednocześnie R=0 nie zmieniają stanu przerzutnika (stan jego wyjścia Q jest poprzednim stanem, czyli  $Q_{n-1}$ ).

Przerzutnik SR może służyć do tworzenia bardziej złożonych układów sekwencyjnych, np. rejestrów. Do tworzenia rejestrów częściej stosowany jest przerzutnik JK, ponieważ nie występuje w nim stan zabroniony.

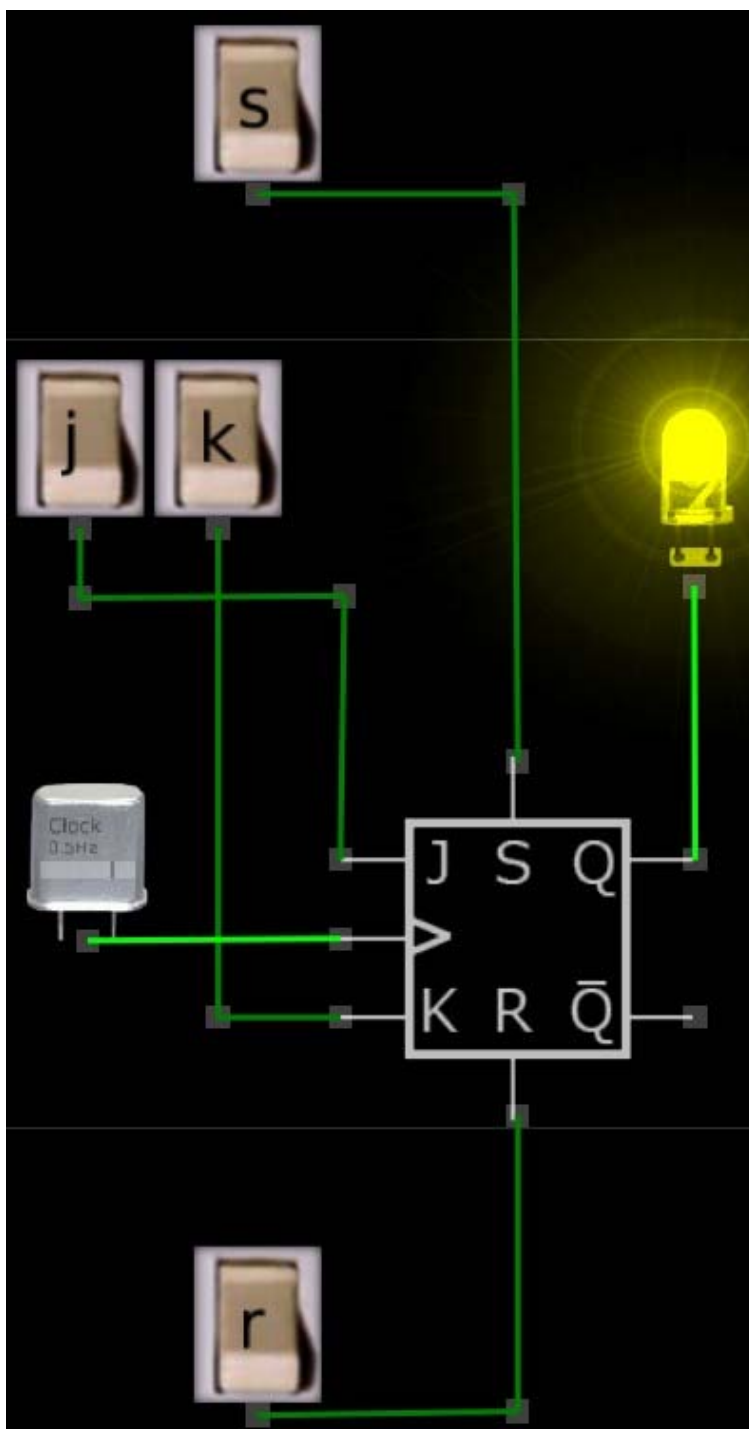
### Przerzutnik JK synchroniczny



Rysunek 7.5 Symbol przerzutnika JK

S	Nadrzędne wejście ustawiające 1 na wyjściu Q.
R	Nadrzędne wejście resetujące 0 na wyjściu Q.
J	Wejście danych (wejście ustawiające).
K	Wejście danych (wejście resetujące).
Symbol małego trójkątka	Wejście synchronizujące (zegarowe)
Q	Wyjście danych (stan przerzutnika).
$\bar{Q}$	Zaprzeczone wyjście danych (zaprzeczony stan przerzutnika).

Tabela 7.5 Opis wejść i wyjść przerzutnika JK



Rysunek 7.6 Zasada działania przerzutnika JK

S	R	J	K	Q <sub>n</sub>	Opis słowny
0	0	0	0	Q <sub>n-1</sub>	Nic nie zmieniaj
		1	0	1	Ustaw Q = 1
		0	1	0	Ustaw Q = 0
		1	1	$\overline{Q_{n-1}}$	Zmieniaj stan na przeciwny
1	0	-	-	Ustaw Q = 1, niezależnie od stanów w J i K	
0	1	-	-	Ustaw Q = 0, niezależnie od stanów w J i K	

Tabela 7.6 Tabela działania przerzutnika JK

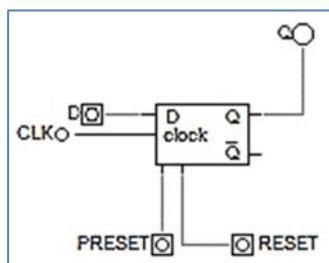
Wejście oznaczone małym trójkątem to wejście synchronizujące (zegarowe). Ponieważ jest to przerzutnik synchroniczny, to stan na jego wyjściu Q, może zmienić się tylko, gdy sygnał zegarowy jest równy 1. Przy stanach J=0 i K=0, przerzutnik nie zmienia swojego stanu (wyjście Q), natomiast przy stanach J=1 i K=1, przerzutnik zmienia swój stan na stan będący zaprzeczeniem stanu poprzedniego (oznaczonego jako Q<sub>n-1</sub>). Kombinacja stanów wejść J=1 oraz K=0 zmienia stan przerzutnika na 1. Kombinacja stanów wejść J=0 oraz K=1 zmienia stan przerzutnika na 0.

Dodatkowe wejścia S i R, które działają bez względu na stan wejść J i K i dlatego nazywamy je nadrzędnymi. Wejście S=1 ustawia przerzutnik w stan 1 (Set), a wejście R=1 ustawia przerzutnik w stan 0 (Reset).

Przerzutnik JK może służyć do tworzenia bardziej złożonych układów sekwencyjnych, np. rejestrów.

## 7.2 PRZERZUTNIKI W PROGRAMIE DIGITAL WORKS

### Przerzutnik D synchroniczny



Rysunek 7.7 Przerzutnik D



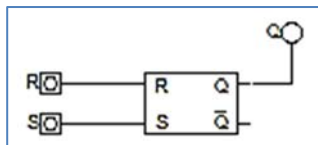
## PRZYKŁADY WYBRANYCH UKŁADÓW KOMBINACYJNYCH

Dodatkowe wejścia PRESET i RESET, które działają bez względu na stan wejścia D i dlatego nazywamy je nadrzędnymi. Wejście PRESET=1 ustawia przerzutnik w stan 1, a wejście RESET=1 ustawia przerzutnik w stan 0.

clock	D	$Q_{n-1}$	Q	$\bar{Q}$
Przejście z 0 na 1	0	0	0	1
Przejście z 0 na 1	0	1	0	1
Przejście z 0 na 1	1	0	1	0
Przejście z 0 na 1	1	1	1	0

Tabela 7.7 Tabela działania przerzutnika D

### Przerzutnik SR asynchroniczny

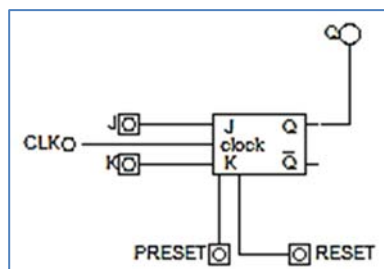


Rysunek 7.8 Przerzutnik SR asynchroniczny

R	S	$Q_{n-1}$	Q	$\bar{Q}$
0	0	0	0	1
0	0	1	1	0
0	1	0	1	0
0	1	1	1	0
1	0	0	0	1
1	0	1	0	1
1	1		zabronione	

Tabela 7.8 Tabela działania przerzutnika SR

### Przerzutnik JK synchroniczny



Rysunek 7.9 Przerzutnik JK

Dodatkowe wejścia PRESET i RESET, które działają bez względu na stan wejść J K, dlatego nazywamy je nadrzędnymi. Wejście PRESET=1 ustawia przerzutnik w stan 1, a wejście RESET=1 ustawia przerzutnik w stan 0.

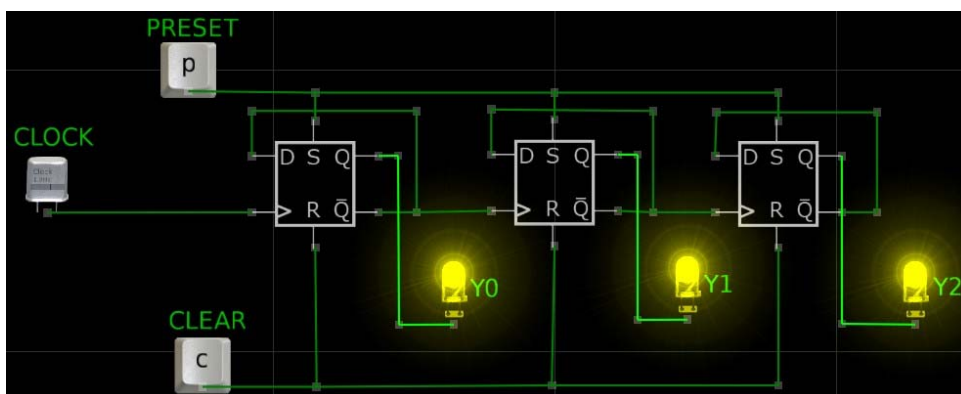
Clock	J	K	$Q_{n-1}$	Q	$\bar{Q}$
Przejście z 0 na 1	0	0	0	0	1
Przejście z 0 na 1	0	0	1	1	0
Przejście z 0 na 1	0	1	0	0	1
Przejście z 0 na 1	0	1	1	0	1
Przejście z 0 na 1	1	0	0	1	0
Przejście z 0 na 1	1	0	1	1	0
Przejście z 0 na 1	1	1	0	1	0
Przejście z 0 na 1	1	1	1	0	1

Tabela 7.9 Tabela działania przerzutnika JK

### 7.3 LICZNIKI MODULO W PROGRAMIE ATANUA

#### Licznik dodający 3-bitowy (tzw. liczący do przodu) modulo 3

Licznik dodający to sekwencyjny układ cyfrowy, który po każdym impulsie podanym na jego wejście zwiększa liczbę pamiętaną w liczniku o jeden.



Rysunek 7.10 Schemat 3-bitowego licznika synchronicznego (dodającego)

ówi

Liczba binarna			Liczba dziesiętna
Y2	Y1	Y0	
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

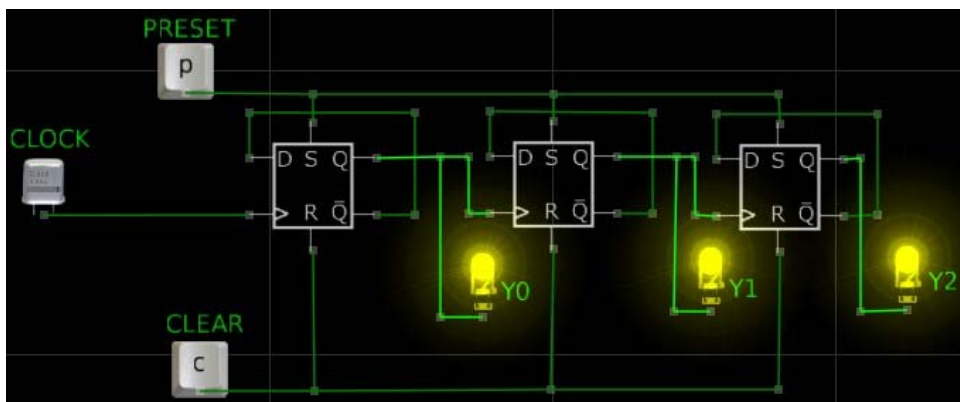
Tabela 7.10 Tabela działania licznika modulo 3 (dodającego)

## PRZYKŁADY WYBRANYCH UKŁADÓW KOMBINACYJNYCH

Przebieg stanów logicznych w programie Atanua jest możliwy ale jest bardzo nieczytelny, dlatego został tu pominięty. Najlepiej jeśli przebiegi czasowe sprawdzisz w analogicznym układzie wykonanym za pomocą Digital Works.

### Licznik odejmujący 3-bitowy (tzw. liczący do tyłu) modulo 3

Licznik odejmujący to sekwencyjny układ cyfrowy, który po każdym impulsie podanym na jego wejście zmniejsza liczbę pamiętaną w liczniku o jeden.



Rysunek 7.11 Schemat 3-bitowego licznika synchronicznego (odejmującego)

Liczba binarna			Liczba dziesiętna
Y2	Y1	Y0	
1	1	1	7
1	1	0	6
1	0	1	5
1	0	0	4
0	1	1	3
0	1	0	2
0	0	1	1
0	0	0	0

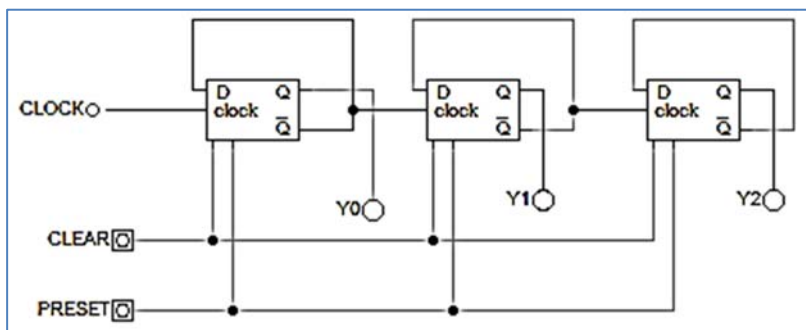
Tabela 7.11 Tabela działania licznika modulo 3 (odejmującego)

Przebieg stanów logicznych w programie Atanua jest możliwy ale jest bardzo nieczytelny, dlatego został tu pominięty. Najlepiej jeśli przebiegi czasowe sprawdzisz w analogicznym układzie wykonanym za pomocą Digital Works.

## 7.4 LICZNIKI MODULO W PROGRAMIE DIGITAL WORKS

### Licznik dodający 3-bitowy (tzw. liczący do przodu) modulo 3:

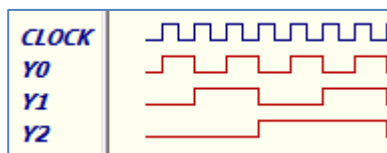
Licznik dodający to sekwencyjny układ cyfrowy, który po każdym impulsie podanym na jego wejście zwiększa liczbę pamiętaną w liczniku o jeden.



Rysunek 7.12 Schemat 3-bitowego licznika synchronicznego

Liczba binarna			Liczba dziesiętna
Y2	Y1	Y0	
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

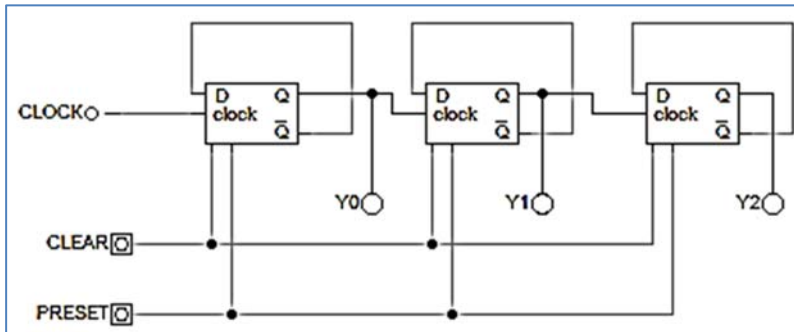
Tabela 7.12 Tabela działania



Rysunek 7.13 Przebieg stanów logicznych

### Licznik odejmujący 3-bitowy (tzw. liczący do tyłu) modulo 3

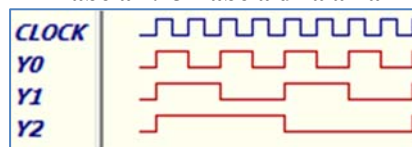
Licznik odejmujący to sekwencyjny układ cyfrowy, który po każdym impulsie podanym na jego wejście zmniejsza liczbę pamiętaną w liczniku o jeden.



Rysunek 7.14 Schemat 3-bitowego licznika synchronicznego

Liczba binarna			Liczba dziesiętna
Y2	Y1	Y0	
1	1	1	7
1	1	0	6
1	0	1	5
1	0	0	4
0	1	1	3
0	1	0	2
0	0	1	1
0	0	0	0

Tabela 7.13 Tabela działania

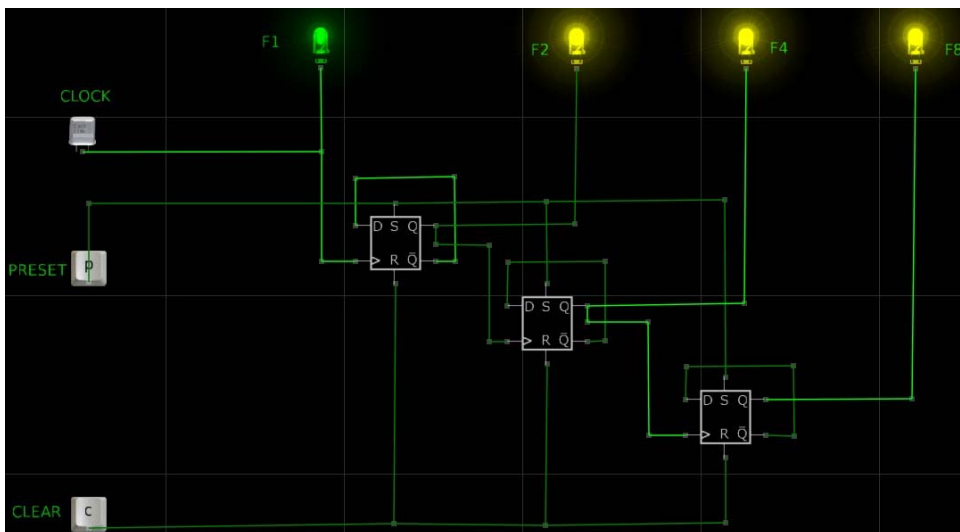


Rysunek 7.15 Przebieg stanów logicznych

## 7.5 DZIELNIK CZĘSTOTLIWOŚCI W PROGRAMIE ATANUA

Przerzutnik D można wykorzystać do dzielenia częstotliwości sygnału zegarowego, czyli zmniejszania jego częstotliwości. Przykład wykonany w programie **Atanua**, został zaprezentowany poniżej. Każdy przerzutnik D dzieli częstotliwość sygnału zegarowego wchodzącego do niego przez 2.

- Częstotliwość sygnału F2 jest 2 razy mniejsza od częstotliwości sygnału F1 (CLOCK).
- Częstotliwość sygnału F4 jest 4 razy mniejsza od częstotliwości sygnału F1 (CLOCK).
- Częstotliwość sygnału F8 jest 8 razy mniejsza od częstotliwości sygnału F1 (CLOCK).



Rysunek 7.16 Schemat dzielnika częstotliwości

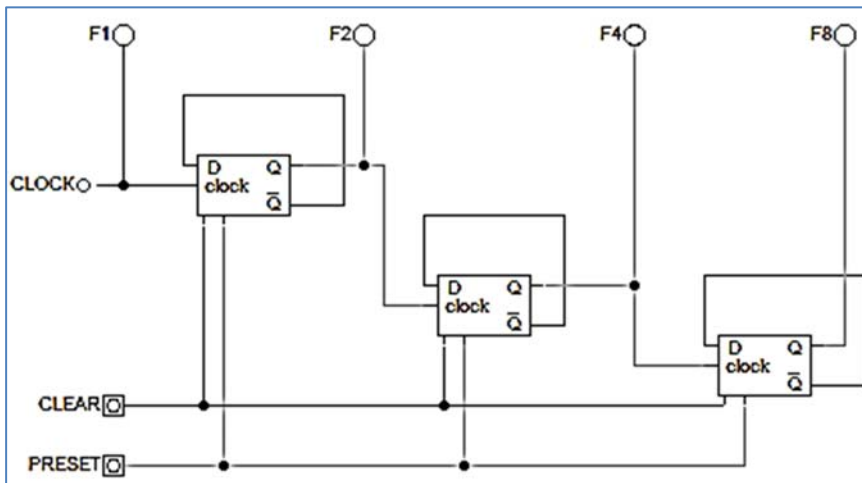
Na przykład przy założeniu, że sygnał CLOCK ma częstotliwość 1 Hz, to:

- Dioda F1 będzie mrgała co 1 sekundę.
- Dioda F2 będzie mrgała co 2 sekundy.
- Dioda F4 będzie mrgała co 4 sekundy.
- Dioda F8 będzie mrgała co 8 sekund.

## 7.6 DZIELNIK CZĘSTOTLIWOŚCI W PROGRAMIE DIGITAL WORKS

Przerzutnik D można wykorzystać do dzielenia częstotliwości sygnału zegarowego, czyli zmniejszania jego częstotliwości. Przykład wykonany w programie **Digital Works**, został zaprezentowany poniżej. Każdy przerzutnik D dzieli częstotliwość sygnału zegarowego wchodzącego do niego przez 2.

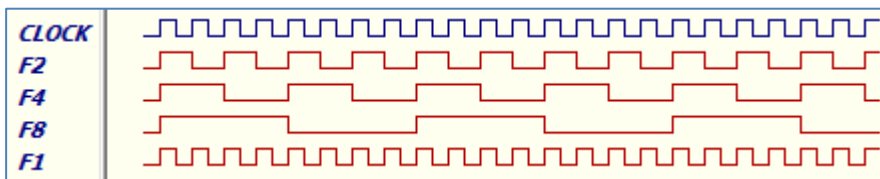
- Częstotliwość sygnału F2 jest 2 razy mniejsza od częstotliwości sygnału F1 (CLOCK).
- Częstotliwość sygnału F4 jest 4 razy mniejsza od częstotliwości sygnału F1 (CLOCK).
- Częstotliwość sygnału F8 jest 8 razy mniejsza od częstotliwości sygnału F1 (CLOCK).



Rysunek 7.17 Schemat dzielnika częstotliwości

Na przykład przy założeniu, że sygnał CLOCK ma częstotliwość 1 Hz, to:

- Dioda F1 będzie mrgała co 1 sekundę.
- Dioda F2 będzie mrgała co 2 sekundy.
- Dioda F4 będzie mrgała co 4 sekundy.
- Dioda F8 będzie mrgała co 8 sekund.



Rysunek 7.18 Przebieg stanów logicznych