

IDŹ DO

PRZYKŁADOWY ROZDZIAŁ



SPIS TREŚCI

KATALOG KSIĄŻEK

KATALOG ONLINE

ZAMÓW DRUKOWANY KATALOG

TWÓJ KOSZYK

DODAJ DO KOSZYKA

CENNIK I INFORMACJE

ZAMÓW INFORMACJE
O NOWOŚCIACH

ZAMÓW CENNIK

CZYTELNIA

FRAGMENTY KSIĄŻEK ONLINE

Anatomia PC. Kompedium. Wydanie II

Autor: Piotr Metzger
ISBN: 83-7361-508-3
Format: A5, stron: 424



Wiedza o architekturze komputerów PC w pigułce

„Anatomia PC. Kompedium. Wydanie II” to wybór najważniejszych wiadomości z bestsellera „Anatomia PC”. Kolejne edycje „Anatomii” cieszą się ogromną popularnością – każda z nich zawiera aktualne i wyczerpujące informacje dotyczące architektury współczesnych komputerów PC. W „Kompedium” znajdziesz te informacje z „Anatomii”, które mogą przydać Ci się codziennie. Zagadnienia, których znajomość może okazać się niezbędna przy rozwiązywaniu problemów z niedziałającymi kartami rozszerzeń, zbyt wolno pracującym komputerem czy procesorem, który po przetaktowaniu nie zachowuje się tak, jak powinien.

„Anatomia PC. Kompedium. Wydanie II” to książka zarówno dla tych, którzy zajmują się komputerami amatorsko, jak i dla prawdziwych profesjonalistów: serwisantów i inżynierów. Najważniejsze zagadnienia związane z architekturą komputerów PC powinien znać każdy, kto chce samodzielnie rozbudować swój komputer o nowe komponenty i poznać zasady działania pecetów.

- Mikroprocesory rodziny x86, koprocesory i rozszerzenia (MMX, 3DNow, SSE, SSE2 i HT)
- Architektury komputerów PC XT, AT, 386, 486 i Pentium
- Układy pamięciowe SIMM, DRAM, SDRAM, DDR oraz obsługa pamięci
- Chipsety, obsługa przerwań, magistrala PCI i kanał DMA
- Obsługa dysków twardych
- Karty grafiki i magistrala AGP
- Złącze szeregowo, równoległe i USB
- Zasilacze
- BIOS



Spis treści

Rozdział 1. Mikroprocesor	11
Przetwarzanie rozkazów.....	12
RISC i CISC	12
Przetwarzanie potokowe	13
Techniki przyspieszania.....	15
Dostęp do pamięci.....	15
Stronicowanie	17
Pamięci podręczne	18
Topologie.....	18
Organizacja pamięci podręcznej	20
Strategie	21
Obsługa przestrzeni adresowej I/O.....	22
Funkcje kontrolne i sterujące	23
Częstotliwość taktowania.....	24
Zasilanie.....	25
Rozszerzenia	26
MMX	26
3DNow!	29
SSE	30
SSE2	32
SSE3	34
Hyper-Threading (HT).....	35
Przetwarzanie 64-bitowe	37
Metoda firmy Intel: Itanium.....	38
Metoda firmy AMD: Opteron	40
Przyszłość przetwarzania 64-bitowego	44
Przykłady procesorów.....	45
Rodzina Hammer: Opteron, Athlon 64, Sempron.....	45
Pentium 4.....	53
Celeron Wilamette-128, Northwood-128.....	57
Pentium 4/Xeon	60
Celeron D (Prescott-256).....	60
Pentium 4 Extreme Edition	60

Rozdział 2.	Architektury komputerów PC	63
	Model PC/XT	63
	Dostęp do pamięci i przestrzeni wejścia-wyjścia	64
	Magistrala ISA 8-bitowa	68
	Model AT	70
	Procesor 80286	73
	Magistrala ISA 16-bitowa	73
	Komputery z procesorami 386, 486 i Pentium	76
	EISA	77
	MCA	79
	VESA	81
	PCI	83
Rozdział 3.	Układy pamięciowe PC.....	85
	Pamięci dynamiczne	86
	Tryb konwencjonalny (Page Mode).....	87
	FPM (Fast Page Mode)	87
	EDO (Extended Data Out)	88
	SDRAM	89
	Moduły pamięciowe.....	92
	Moduły SIMM-30 (SIP)	93
	Moduły SIMM PS/2.....	93
	Moduły DIMM	95
	Odświeżanie.....	100
	Wykrywanie błędów i ich korekcja.....	102
	Błędy powtarzalne (HE)	102
	Błędy sporadyczne (SE).....	102
	Kontrola parzystości	103
	Kontrola ECC	103
	Rozszerzenia PC-66, PC-100, PC-133	103
	Oznaczenia modułów DIMM.....	104
	Moduły buforowane.....	105
	DDR SDRAM	106
	DDR2 SDRAM	111
	Moduły DIMM DDR2	112
	Porównanie parametrów pamięci	113
	Systemy dwukanałowe	113
Rozdział 4.	Układy otoczenia procesora (chipset)	117
	Zakres funkcji	117
	Magistrala FSB	119
	Obsługa pamięci operacyjnej i magistrali pamięciowej	122
	Układy obsługi podstawki typu Socket 7	123
	Układy współpracujące z magistralą GTL+ i AGTL+	125
	Układy do obsługi procesorów AMD	134
	Rodzina K7	136
	Rodzina Hammer	136
	Wewnętrzne magistrale międzyukładowe	139
	PCI	140
	Hub-Interface/V-Link	141

	RapidIO	141
	HyperTransport (LDT).....	143
	DMI	145
Rozdział 5.	Magistrala PCI	147
	Gniazda magistrali PCI	156
	Obsługa przerw	158
	Pamięć konfiguracyjna urządzeń PCI	159
	Identyfikator producenta (Vendor ID)	160
	Identyfikator urządzenia (Device ID)	160
	Rejestr rozkazów (Command)	160
	Rejestr stanu (Status)	162
	Numer wersji urządzenia (Revision ID).....	163
	Kod klasy urządzenia (Class Code)	163
	Rozmiar linii pamięci podręcznej (Cache Line Size).....	167
	Minimalny czas transmisji (Latency Timer).....	167
	Typ nagłówka (Header Type).....	167
	BIST (Build-in Self-test).....	168
	Adres bazowy (Base Address Registers)	168
	Wskaźnik CardBus CIS (CardBus CIS Pointer)	169
	Dodatkowy identyfikator producenta (Subsystem Vendor ID) i dodatkowy identyfikator urządzenia (Subsystem ID).....	170
	Adres bazowy rozszerzenia ROM (Expansion ROM Base Address)	170
	Wskaźnik do listy możliwości (Capabilities Pointer).....	171
	Linia IRQ (Interrupt Line)	171
	Linia INT (Interrupt Pin)	171
	Długość transmisji (Min_Gnt)	172
	Częstość (Max_Lat).....	172
	Mechanizmy dostępu do pamięci konfiguracyjnej	172
	Pierwszy mechanizm dostępu do pamięci konfiguracyjnej.....	173
	Drugi mechanizm dostępu do pamięci konfiguracyjnej	173
	PCI BIOS	174
	Autokonfiguracja urządzeń PCI	175
	Rozwój PCI i inne magistrale.....	175
	PCI-32/66 MHz i PCI-64	175
	PCI-X.....	176
	PCI Express	178
Rozdział 6.	Kanał DMA	181
	Układ scalony 8237A	182
	Tryby pracy kontrolera DMA	184
	Programowanie kontrolerów DMA	186
	Adresy portów kontrolerów DMA w komputerze IBM PC/XT	186
	„Sztuczne” porty komputera PC/XT	187
	Adresy portów kontrolerów DMA w komputerze IBM PC/AT	188
	„Sztuczne” porty komputera PC/AT	189
	Budowa rejestrów wewnętrznych	189
	Rejestr żądań (port 009h w PC/XT, 009h i 0D2h w PC/AT).....	189
	Rejestr stanu (port 008h w PC/XT, 008h i 0D0h w PC/AT).....	190

Rejestr rozkazów (port 008h w PC/XT, 008h i 0D0h w PC/AT).....	190
Rejestr maski kanału (port 00Ah w PC/XT, 00Ah i 0D4h w PC/AT).....	191
Rejestr maskujący (port 00Fh w PC/XT, 00Fh i 0DEh w PC/AT).....	191
Rejestr trybu (00Bh w PC/XT, 00Bh i 0D6h w PC/AT):.....	192
Przebieg transmisji.....	192
Komputery IBM PC i PC/XT	193
Komputer IBM PC/AT	194
Rozdział 7. System obsługi przerwania sprzętowych.....	197
Układ scalony 8259A (PIC).....	198
Cykl przyjęcia zgłoszenia	200
Kaskadowe łączenie kontrolerów przerwania.....	201
Fazy obsługi przerwania pochodzących od układu Slave	202
Programowanie kontrolera przerwania	203
Inicjowanie pracy układu.....	204
Polling.....	207
Przerwanie niemaskowalne (NMI).....	208
Obsługa przerwania pochodzących z magistrali ISA, PCI i AGP	209
Kontroler APIC.....	212
Strona sprzętowa.....	213
Obsługa APIC przez OS	215
Rozdział 8. Obsługa dysku twardego.....	221
Budowa kontrolera.....	221
Fizyczna organizacja danych i formatowanie	221
Formatowanie wysokiego poziomu	222
Formatowanie niskiego poziomu	223
Wykrywanie i korekcja błędów.....	223
Standard AT-BUS	226
Złącze fizyczne	227
Dostęp CPU do dysku AT-BUS.....	230
Rozszerzenia standardu pierwotnego	232
Wzrost pojemności dysków	234
Ograniczenia pojemności dysków twardej.....	234
Obsługa dużych dysków	235
Podnoszenie pasma przepustowego magistrali.....	236
Tryby PIO	237
Tryby DMA	237
Tryb Ultra DMA/33.....	237
Tryb Ultra DMA/66.....	242
Tryby Ultra ATA/100 i Ultra ATA/133.....	244
Blok informacyjny	244
Realizacja rozkazu Identify Device	245
Lista rozkazów	245
Funkcje oszczędnościowe	246
System PM.....	246
System APM.....	248

Serial ATA	248
Cechy Serial ATA.....	249
Wykorzystanie powierzchni dyskowej.....	252
Proces ładowania OS	252
MBR i tablica partycji.....	253
System danych i FSB.....	254
Rozdział 9. Karty graficzne	259
Przegląd kart graficznych.....	259
Standard VESA.....	261
Funkcje BIOS-u obsługujące karty graficzne.....	262
Pamięć lokalna akceleratorów 2D i 3D	263
Pamięć obrazu.....	264
Bufor Z/W.....	265
Pamięć tekstur.....	266
Rozmiar pamięci i organizacja.....	268
Rodzaje pamięci kart graficznych.....	271
RAM-DAC.....	273
Dopasowanie monitora do karty	275
Parametry karty.....	276
Jakość monitora	277
Kanał informacyjny VESA DDC.....	279
Złącza cyfrowe.....	280
TMDS.....	281
P&D (EVC)	282
DFP.....	282
DVI.....	282
Rozdział 10. Magistrala AGP	287
Architektura komputera z magistralą AGP	287
Sygnały magistrali AGP.....	290
Szyba adresów i danych.....	290
Sygnały PCI.....	291
Sygnały kontroli przepływu	294
Sygnały obsługi żądań AGP	294
Linie statusowe	295
Sygnały kluczujące	295
Sygnały USB	295
System zarządzania zużyciem energii.....	296
Sygnały specjalne	296
Linie zasilające	296
AGP w teorii	296
Kolejkowanie.....	297
Magistrala SBA	299
GART	300
DIME.....	300
AGP PRO.....	302
AGP 3.0	305
Pasma przepustowe.....	305
Poziomy napięcie.....	305

	Nowe sygnały i przededefiniowania.....	306
	Sygnały zegarowe.....	306
	Transakcje.....	308
	Pobór prądu.....	308
	Zgodność w dół.....	308
	Przyszłość AGP.....	309
Rozdział 11.	Łącze szeregowe.....	311
	Asynchroniczna transmisja szeregową.....	311
	Układ scalony 8250.....	313
	Interfejs RS-232C.....	316
	Tryb simpleksowy.....	318
	Tryb półdupleksowy.....	319
	Tryb duplexowy.....	319
	Bezpośrednie programowanie rejestrów UART.....	321
	Przerwania generowane przez łącze szeregowe.....	322
	Prędkość transmisji.....	325
	Sygnały sterujące.....	326
Rozdział 12.	Łącze równoległe.....	329
	Terminologia programu konfiguracyjnego BIOS-u.....	331
	Tryby podstawowe.....	332
	Tryb standardowy.....	332
	Tryb półbajtowy.....	339
	Tryb bajtowy (PS/2).....	340
	Tryb EPP.....	340
	Tryb ECP.....	343
	Realizacja portu równoległego w ramach architektury PC.....	348
	Ogólne zastosowanie łącza równoległego.....	350
Rozdział 13.	Złącze USB.....	353
	Specyfikacja.....	353
	Topologia.....	354
	Okablowanie.....	356
	Protokół.....	358
	Pakiety.....	360
	Sterowanie w trybach LS/FS (USB 1.1).....	361
	Sterowanie w trybie HS (USB 2.0).....	363
	Urządzenia USB.....	366
	Klawiatury.....	366
	Myszy.....	367
	Kontrolery gier.....	367
	Dyski twarde.....	367
	Moduły pamięci Flash EEPROM.....	368
	Napędy optyczne.....	368
	Czytniki kart pamięci i aparaty cyfrowe.....	369
	Skanery.....	369
	Drukarki.....	369
	Sieci komputerowe.....	370

Rozdział 14. Karta dźwiękowa	371
Synteza FM	372
Synteza WaveTable	376
Digitalizacja i obróbka cyfrowa (DSP)	381
Przetworniki ADC i DAC	382
Standard MIDI	383
Protokół MIDI	385
MIDI a sprzęt	387
Wyprowadzenia zewnętrzne	387
Sygnały analogowe i mikser	387
Sygnały cyfrowe	388
Wykorzystanie zasobów systemowych	391
„Sound on Board” według specyfikacji AC’97	392
Schemat blokowy systemu AC’97	393
Rozdział 15. Zasilacz	397
Zasilacz standardu ATX	399
Specyfikacja ATX/ATX12V	402
Dobór zasilacza	404
Zasilacze dużej mocy	406
ATXGES (AMD)	407
EPS12V (Intel)	407
Rozdział 16. BIOS i jego program konfiguracyjny	409
Organizacja systemu bezpieczeństwa	410
Możliwości omijania systemu bezpieczeństwa	411
System ochrony przed wirusami atakującymi boot-sektor	415
System ładowania wartości predefiniowanych	415
Mechanizm opuszczania programu konfiguracyjnego	416
Ogólna konstrukcja blokowa	416
Programy pseudokonfiguracyjne BIOS-u	417
Nowe trendy w programach BIOS	417
Obrazki w BIOS-ie	417
Podwójny BIOS	418
POST on Board	418
Voice Diagnostic	419
Auto-Overclocking	419
Skorowidz	421

Rozdział 2.

Architektury komputerów PC

Architektura komputerów PC przeszła długą drogę rozwoju, a patrząc z dzisiejszej perspektywy, wydaje się, iż nigdy nie będzie miał on końca. Może właśnie dzięki zdolności do adaptacji i wiecznej gotowości do wszelkich zmian przetrwała w swych ogólnych zarysach do dnia dzisiejszego. Wyniki prac badawczo-rozwojowych nad optymalizacją architektury stanowią przy okazji jeden z głównych czynników wpływających na rozwój wielu dziedzin pokrewnych.

Model PC/XT

Będący pierwowzorem dla modelu XT mikrokomputer IBM PC był konstrukcją ośmio-bitową. Dzisiaj ma on znaczenie wyłącznie historyczne, tak iż w zasadzie nie powinniśmy się nim więcej zajmować. Mimo to wiele rozwiązań przyjętych w modelu XT nie różni się w sposób istotny od stosowanych po dzień dzisiejszy w najnowszych modelach PC/AT. Proces śledzenia etapów rozwojowych w tej dziedzinie rozpoczniemy więc od modelu XT.

W komputerach tej rodziny instalowano procesory 8086 i 8088. W zakresie zestawu rozkazów i trybów adresowania oba układy są w pełni zgodne. Oba przetwarzają dane 16-bitowe, a różnica tkwi w szerokości magistrali danych wyprowadzanej na zewnątrz układu. Procesor 8088 wyprowadza jedynie osiem bitów, chociaż operuje na szesnastu. Każda operacja dostępu do dwubajtowego słowa wykonywana jest w dwóch etapach. Przykładowe polecenie przesłania 16-bitowego słowa z pamięci do akumulatora AX rozpisywane jest przez sprzęt w niewidoczny dla oprogramowania sposób na dwie elementarne operacje jednobajtowe. Dokonywane są one na rejestrach AH i AL i to niezależnie od tego, czy dotyczą one parzystego czy nieparzystego adresu w pamięci.

Następną różnicę w stosunku do procesora 8086 stanowi zredukowana do 4 bajtów długość kolejki rozkazów. Kolejka ta jest uzupełniana jednocześnie z wykonywaniem rozkazu (jeśli aktualnie wykonywany rozkaz nie wymaga dostępu do magistrali) już przy ubytku jednego bajta (dla porównania, w 8086 począwszy od dwóch bajtów). Czas dostępu do bajtu pamięci wynosi cztery cykle zegarowe. Może się więc zdarzyć, że kolejka wypełniona rozkazami nie wymagającymi argumentów pobieranych z pamięci (na przykład `clc`, `ror`, `sti`) wyczerpie się szybciej niż nastąpi jej uzupełnienie. Stanowi to dodatkowe ograniczenie w pracy procesora.

Dostęp do pamięci i przestrzeni wejścia-wyjścia

Procesory serii 80x86 mogą adresować dwa nakładające się na siebie obszary. Oba z nich adresowane są poprzez tę samą systemową magistralę adresową, a wymiana danych między nimi a procesorem przebiega tą samą magistralą danych.

Pierwszy z omawianych obszarów stanowi *pamięć operacyjną*. Można się do niego odwoływać, używając przykładowo rozkazu `mov x,y` (gdzie `x` i `y` mogą określać adres w pamięci lub jeden z rejestrów procesora). Drugi obszar określany jest mianem *przestrzeni wejścia-wyjścia (I/O, Input/Output)*. Można się zwracać do niego za pomocą rozkazów `in a,port` i `out port,a`, port symbolizuje lokalizację w przestrzeni adresowej wejścia-wyjścia, zaś `a` jest akumulatorem, czyli jednym z rejestrów procesora. Rozkazy z grupy `mov` dopuszczają użycie jako argumentu w zasadzie dowolnego rejestru procesora (z niewielkimi wyjątkami, na przykład niedozwolone są przesłania pomiędzy rejestrami segmentowymi). W przeciwieństwie do nich, rozkazy `in` i `out` akceptują wyłącznie akumulator — `AX` dla portów 16-bitowych lub `AL` dla portów 8-bitowych. O tym, który z tych dwóch obszarów zostanie wybrany i jaki będzie kierunek przekazywania informacji (do czy od CPU), decydują sygnały systemowej magistrali sterującej:

IOWC — zapis do przestrzeni wejścia-wyjścia,

IORC — odczyt z przestrzeni wejścia-wyjścia,

MRDC — odczyt z pamięci,

MWDC — zapis do pamięci.

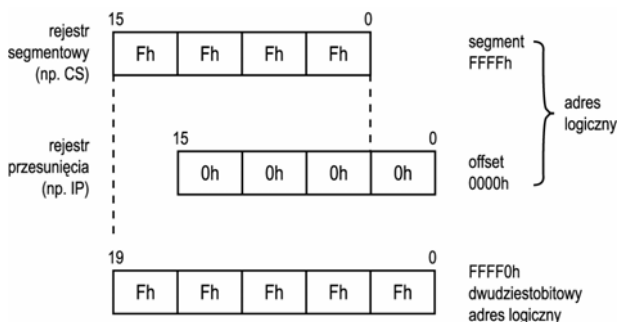
20 linii adresowych procesora 8086 umożliwia dostęp do przestrzeni adresowej o wielkości 1 MB. Zastosowany w 8086 mechanizm adresowania wykorzystuje tzw. *segmentację*. 20-bitowy adres fizyczny składa się z 16-bitowego adresu segmentu (*Segment Address*) zapisanego w jednym z rejestrów segmentowych procesora (`CS`, `DS`, `ES` lub `SS`) i 16-bitowego przemieszczenia wewnątrz segmentu (*Offset Address*) zapisanego w jednym z pozostałych rejestrów¹.

Bezpośrednią konsekwencją przyjętego sposobu adresowania jest logiczny podział pamięci na segmenty o wielkości do 65536 bajtów, natomiast najistotniejszą konsekwencją pośrednią — możliwość relokacji kodu z dokładnością do 16 bajtów (minimalna różnica

¹ Nie wszystkie rejestry procesora 8086 mogą być użyte do adresowania pamięci. Nie da się w tym celu wykorzystać rejestrów `AX`, `CX` i `DX`.

między początkami dwóch różnych segmentów). Sposób tworzenia adresu fizycznego na podstawie zapisanego w odpowiednich rejestrach adresu logicznego (w postaci *segment:offset*) przedstawia rysunek 2.1.

Rysunek 2.1.
Sposób tworzenia
adresu fizycznego



Procesor 8086 może zaadresować 65536 portów jednobajtowych lub 32768 portów dwubajtowych (albo ich kombinację nie przekraczającą łącznie rozmiarów segmentu, tj. 64 KB). Układy dekodatorów adresowych płyty głównej ograniczają jednak ten obszar do 1024 bajtów, tj. adresów 000h – 3FFh, przy zachowaniu możliwości koegzystencji portów 8- i 16-bitowych.

Porty przestrzeni adresowej wejścia-wyjścia stanowią swego rodzaju bramy, przez które procesor widzi rejestry wewnętrzne różnych urządzeń. Urządzenia te są na ogół wyspecjalizowanymi sterownikami zawierającymi mniej lub bardziej rozbudowaną listę poleceń przyjmowanych przez jeden z portów. Stan, w jakim znajduje się dany sterownik, obrazowany jest zwykle poprzez zawartość tzw. *rejestr statusowego* (dostępnego też przez jeden z portów). Również sam transport danych do i z urządzenia może odbywać się poprzez porty, ale mechanizm ten nie jest zbyt wydajny.

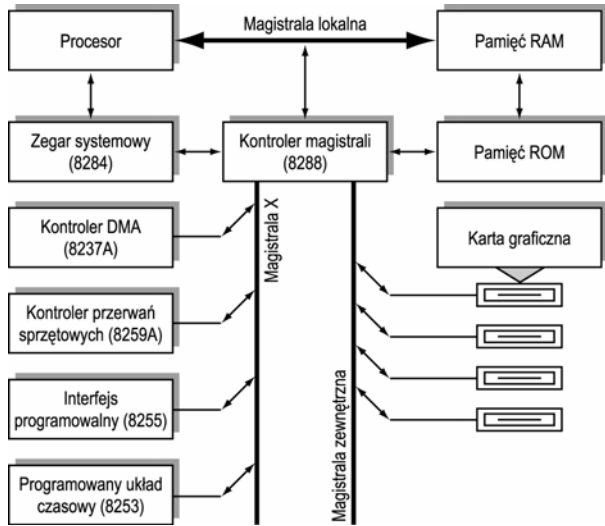
Procesor uzyskuje dzięki temu możliwość programowania różnych układów peryferyjnych za pomocą instrukcji *out*. Jest również możliwe sprawdzanie stanu urządzenia przez pobranie zawartości jego rejestru statusowego instrukcją *in*.

Pozostałe elementy architektury XT

Centralnym punktem tego komputera był oczywiście procesor 8086 lub 8088. Płyta główna XT była przystosowana do instalacji koprocesora arytmetycznego 8087. W niektórych późniejszych modelach PC/XT stosowane były procesory V20 i V30 firmy NEC, będące rozbudowanymi wersjami 8088 i 8086.

Główny zegar taktujący (4,77 MHz) wykorzystywał sygnał 14,3181 MHz generowany w układzie 8284 (po podziale przez 3). Nowsze modele XT odbiegały od tego rozwiązania i korzystały z bezpośredniego generatora o częstotliwości sięgającej 12 MHz. Wszystkie pozostałe elementy płyty głównej XT kontaktują się z procesorem poprzez magistrale przedstawione na rysunku 2.2:

Rysunek 2.2.
Schemat blokowy
komputera XT



- ◆ *Magistralę lokalną*, obejmującą 16-bitową szynę danych i 20-bitową szynę adresową procesora 8086.
- ◆ *Magistralę systemową*, sprzężoną z magistralą lokalną poprzez rejestry zatraskowe sterowane sygnałem ALE. Wszystkie 20 bitów adresu oraz 8 bitów systemowej magistrali danych wyprowadzone są do gniazd rozszerzających. Magistrala systemowa dostarcza też zestawy sygnałów sterujących, takich jak \sim IOR, \sim IOW, \sim MEMR, \sim MEMW, IRQ_n, DRQ_n, \sim DACK_n itd.
- ◆ *Magistralę X*, komunikującą się z pamięcią ROM zawierającą systemowy BIOS (ale nie z rozszerzeniami BIOS na kartach) oraz z portami układów na płycie głównej.
- ◆ *Magistralę pamięciową*, która łączy szyny systemowe z obwodami pamięci dynamicznej poprzez układy adresowania wierszy i kolumn pamięci.
- ◆ *Magistralę zewnętrzną*, która stanowi wyprowadzenie 20-bitowej systemowej szyny adresowej, 8-bitowej szyny danych i większości sygnałów systemowej szyny sterującej.

Powyższe magistrale łączą procesor z następującymi elementami:

- ◆ RAM — dynamiczną pamięcią operacyjną;
- ◆ ROM — pamięcią stałą zawierającą procedury inicjalizujące (wykonywane w momencie włączenia komputera) oraz BIOS (*Basic Input/Output System*), stanowiący zestaw podstawowych procedur obsługi urządzeń wejścia i wyjścia;
- ◆ 8259A — 8-kanałowym kontrolerem przerwań sprzętowych² o następującym przyporządkowaniu:

² Do grupy przerwań sprzętowych należy również przerwanie niemaskowalne (NMI), chociaż nie jest ono obsługiwane przez żaden z kontrolerów 8259A.

Linia IRQ	Wektor*	Urządzenie
0	08h	Zegar systemowy (kanał 0 generatora 8253)
1	09h	Klawiatura
2	0Ah	Zarezerwowane
3	0Bh	COM2
4	0Ch	COM1
5	0Dh	Kontroler dysku twardego
6	0Eh	Kontroler napędu dysków elastycznych
7	0Fh	LPT1

* *Wektor* oznacza numer indeksu wskazującego adres procedury obsługi danego przerwania umieszczony w tzw. *tablicy wektorów przerwania*. Tablica ta znajduje się w pamięci w obszarze 00000h – 003FFh i zawiera czterobajtowe pozycje reprezentujące kolejne adresy.

- ♦ 8253 — programowanym układem czasowym zawierającym trzy niezależne liczniki o następującym przyporządkowaniu:

Licznik	Przeznaczenie
0	Implementacja zegara systemowego poprzez okresowe wywoływanie IRQ0
1	Odświeżanie pamięci
2	Obsługa głośnika

- ♦ 8237A — kontrolerem DMA (*Direct Memory Access*), który implementuje wirtualny kanał łączący układy wejścia-wyjścia z pamięcią i pracuje bez udziału procesora. Układ dysponuje czterema kanałami:

Kanał	Przeznaczenie
0	Układ odświeżania pamięci
1	Łączy synchroniczne SDLC (<i>Synchronous Data Link Control</i> — standard łączy synchronicznego firmy IBM)
2	Kontroler napędu dysków elastycznych
3	Kontroler dysku twardego

- ♦ 8255 — programowanym interfejsem PPI (*Programmable Peripheral Interface*), obsługującym następujące urządzenia:

- ♦ klawiaturę,
- ♦ przełączniki pamięci konfiguracji (*Configuration Switches*),
- ♦ włączanie i wyłączenie głośnika,
- ♦ sterowanie napędem pamięci kasetowej.

Większość elementów architektury XT zlokalizowanych jest na płycie głównej, a niektóre umieszczone są na kartach rozszerzeń (sterowniki dysków, łączy szeregowych

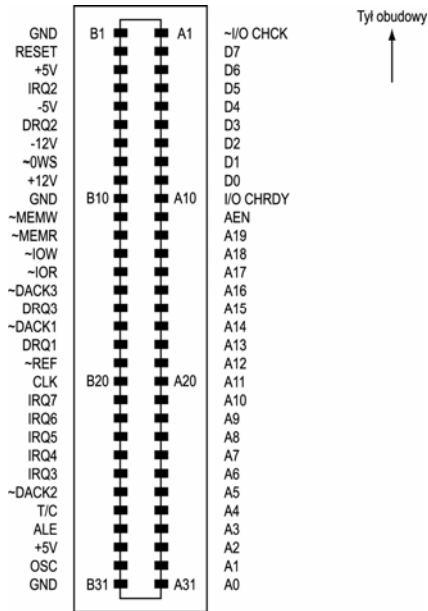
i równoległych). Wszystkie układy mają ściśle określone obszary adresowe w przestrzeni wejścia-wyjścia, w której widoczne są ich rejestry sterujące.

Magistrala ISA 8-bitowa

Zewnętrzna magistrala architektury PC/XT jest ośmiobitowa. Komputery tej klasy wyposażane były w umieszczone na płycie głównej 62-końcówkowe gniazda rozszerzające (*Expansion Slots*) (rysunek 2.3). Liczba tych gniazd nie była jednoznacznie określona i zależała od modelu płyty. W gniazdach tych można było umieszczać karty 8-bitowe (tzw. krótkie), charakteryzujące się pojedynczym złączem grzebieniowym.

Rysunek 2.3.

Gniazdo 8-bitowej
magistrali zewnętrznej



Teoretycznie jest całkowicie obojętne, w którym z gniazd umieszczona została dana karta, bowiem wszystkie wyprowadzenia połączone były równolegle (wyjątek stanowiło złącze J8 w starszych modelach XT). Niektóre karty umieszczone zbyt blisko siebie mogły wzajemnie zakłócać swoją pracę. Uwaga ta nie straciła aktualności do dnia dzisiejszego, chociaż odnosi się obecnie raczej do magistrali PCI.

Krótki opis sygnałów 8-bitowej magistrali ISA przedstawia poniższe zestawienie:

- $\pm 5\text{ V}$, $\pm 12\text{ V}$ Komplet napięć zasilających, z których mogą korzystać karty rozszerzeń.
- GND Masa zasilania.
- OSC Sygnał zegara systemowego 14,318180 MHz; ten sam sygnał, po podzieleniu częstotliwości przez 3, otrzymuje procesor.

IRQ2 – IRQ7	<i>Interrupt Request</i> — linie zgłoszeń przerw sprzętowych. Kanały 0 (zegar systemowy) i 1 (klawiatura) obsługują urządzenia zainstalowane na płycie głównej, tak więc nie zostały wprowadzone.
DRQ1 – DRQ3	<i>DMA Request</i> — linie zgłoszeń żądania przydziału kanału 1, 2 lub 3 DMA. Kanał 0 DMA jest już zajęty (obsługuje odświeżanie pamięci), nie został więc wprowadzony.
~DACK1 – – ~DACK3	<i>DMA Acknowledge</i> — odpowiadające liniom DRQ n linie potwierdzenia przyjęcia żądania obsługi kanałem DMA.
~DACK0	Sygnał, który może być wykorzystany przez karty posiadające własną pamięć dynamiczną do jej odświeżania. Pojawia się on równoległe z odbywającymi się z udziałem kanału 0 DMA cyklami odświeżania pamięci na płycie głównej.
~IOR	<i>I/O Read</i> — sygnał ten przyjmuje poziom niski (aktywny) w chwili wystawienia przez procesor lub kontroler DMA żądania dostępu do przestrzeni adresowej wejścia-wyjścia w celu odczytu.
~IOW	<i>I/O Write</i> — sygnał ten przyjmuje poziom niski (aktywny) w chwili wystawienia przez procesor lub kontroler DMA żądania dostępu do przestrzeni adresowej wejścia-wyjścia w celu zapisu.
~MEMR	<i>Memory Read</i> — sygnał ten przyjmuje poziom niski (aktywny) w chwili wystawienia przez procesor lub kontroler DMA żądania dostępu do przestrzeni adresowej pamięci w celu odczytu.
~MEMW	<i>Memory Write</i> — sygnał ten przyjmuje poziom niski (aktywny) w chwili wystawienia przez procesor lub kontroler DMA żądania dostępu do przestrzeni adresowej pamięci w celu zapisu.
RESET	Przekazuje kartom rozszerzeń sygnał generowany na płycie po naciśnięciu przycisku <i>RESET</i> .
A0 – A19	20-bitowa magistrala adresowa komputera. Stan linii A0 – A19 odzwierciedla stan wyprowadzeń A0 – A19 procesora 8086/8088 lub jest wytwarzany przez układ kontrolera DMA.
D7 – D0	Dwukierunkowa, ośmiobitowa magistrala danych.
ALE	<i>Address Latch Enable</i> — sygnał wytwarzany przez kontroler magistrali 8288; informuje o ustabilizowaniu adresu na magistrali adresowej, co jest jednocześnie poleceniem dla układów kart rozszerzeń, że należy podjąć dekodowanie adresu i próbę „dopasowania go” do własnej przestrzeni adresowej.
I/O CHRDY	<i>I/O Channel Ready</i> — poziom sygnału na tej linii sprawdzany jest przez procesor lub kontroler DMA w każdym cyklu dostępu do urządzeń wejścia-wyjścia. Powolne układy peryferyjne mogą w ten sposób sygnalizować konieczność wprowadzenia przez urządzenie żądające dostępu (tj. procesor lub kontroler DMA) tzw. cykli oczekiwania, czyli dodatkowych, „pustych” cykli

	zegarowych (<i>Wait States</i>) w oczekiwaniu na dane. Poziom logicznej 1 oznacza gotowość urządzenia, logiczne 0 wymusza oczekiwanie.
~I/O CHK	<i>I/O Channel Check</i> — układy zamontowane na kartach rozszerzeń mogą tą drogą zgłaszać płycie głównej swoje niedomagania wykluczające je z dalszej pracy. Sygnał aktywny (tj. zero logiczne) powoduje wygenerowanie przerwania 2 (INT 2), a więc uruchomienie takiej samej akcji, jak w przypadku błędu parzystości pamięci na płycie (wyswietlenie odpowiedniego komunikatu i zatrzymanie systemu).
AEN	Wysoki poziom logiczny na tej linii oznacza, że kontroler DMA przejął kontrolę nad magistralami systemowymi (końcówki procesora znajdują się w stanie wysokiej impedancji).
T/C	<i>Terminal Count</i> — sygnał generowany przez kontroler DMA. Wskazuje na zakończenie cyklu dostępu DMA (wykonanie zaprogramowanej liczby transmisji).

Karty rozszerzeń są niezmiernie ważnym elementem architektury komputera. Zapewniają one w zasadzie nieograniczoną elastyczność w projektowaniu urządzeń peryferyjnych, które z punktu widzenia oprogramowania będą się zachowywały tak, jak gdyby znajdowały się na płycie głównej.

Model AT

Na płycie głównej komputerów AT można było znaleźć oprócz procesora już tylko kilka układów scalonych wysokiej skali integracji. Nie oznaczało to bynajmniej, że nastąpiły jakieś gruntowne zmiany w stosunku do architektury pierwowzoru, w którym można było jednoznacznie zlokalizować wszystkie charakterystyczne układy scalone. Podwyższenie skali integracji było zabiegiem technologicznym i nie naruszało w żaden sposób pełnej zgodności funkcjonalnej elementów systemu.

W modelu AT wprowadzono oczywiście pewne unowocześnienia — inaczej nie można by przecież mówić o nowym modelu. Oto ogólna sylwetka architektury AT, określanej też mianem ISA (*Industry Standard Architecture*):

- ◆ Procesor otrzymuje sygnał taktujący z układu 82284, będącego następcą 8284 (stosowanego z procesorami 8086/8088). Procesory 80286 w pierwszych modelach AT taktowane były sygnałem 6 MHz. Później na rynku znalazły się układy scalone 80286 produkcji firmy Harris, dające się taktować zegarem 25 MHz. Do wyższej częstotliwości zegarowej musiały zostać przystosowane również inne elementy architektury, a nie tylko sam procesor.
- ◆ 24-bitowa magistrala adresowa komputera AT pokrywa przestrzeń adresową do 16 MB, co jednak wymaga oprogramowania wykorzystującego tzw. chroniony tryb pracy procesora (*Protected Mode*). W zgodnym z 8086/8088 trybie rzeczywistym (*Real Mode*) wykorzystanych jest tylko 20 linii adresowych.

- ♦ Do współpracy z układem 80286 przewidziano koprocessor arytmetyczny 80287, dla którego zamontowano dodatkową podstawkę na płycie głównej.
- ♦ W modelu AT możemy wyróżnić następujące magistrale:
 - ♦ **Magistralę lokalną** (24 linie adresowe i 16 linii danych) połączoną bezpośrednio z procesorem.
 - ♦ Poprzez zastosowanie rejestrów zatraskowych uzyskuje się ustabilizowaną **magistralę systemową**. Stanowi ona kopię części magistrali lokalnej (kompletna szyna danych plus linie adresowe A0 – A19).
 - ♦ **Magistrala X** obsługuje komunikację z ROM-BIOS oraz z portami układów umieszczonych na płycie głównej (ale nie z rozszerzeniami BIOS na kartach).
 - ♦ Linie magistrali systemowej z obwodami pamięci dynamicznej (poprzez układy adresowania wierszy i kolumn pamięci) łączy **magistrala pamięciowa**.
 - ♦ **Magistrala L** wyprowadza linie A17 – A23 magistrali lokalnej do gniazda rozszerzających (tj. magistrali zewnętrznej).
 - ♦ **Magistrala zewnętrzna**, która stanowi wyprowadzenie 24-bitowej systemowej szyny adresowej, 16-bitowej szyny danych i większości sygnałów systemowej szyny sterującej.

Jedynymi układami mogącymi przejąć pełną kontrolę nad magistralami systemowymi (tzn. inicjować transmisję i decydować o jej kierunku) są procesor i kontroler DMA. Przywileju tego nie ma żaden inny procesor zamontowany na karcie rozszerzeń. Magistrala zewnętrzna wyprowadza co prawda sygnał ~MASTER, ale procedura przejścia sterowania rozpoczyna się od wymiany sygnałów uzgodnienia z kontrolerem DMA, który to dopiero odłącza procesor systemowy od magistral.

- ♦ Dla zwiększenia liczby kanałów IRQ (linii przyjmujących zgłoszenia przerwania sprzętowych) wprowadzony został drugi układ 8259A (*Slave*). Jest on podłączony do jednego z wejść układu głównego (*Master*). Komputer AT dysponuje dzięki temu 15 kanałami IRQ o następującym przyporządkowaniu:

Linia IRQ	Wektor	Urządzenie
0	08h	Zegar systemowy
1	09h	Klawiatura
2	0Ah	Wyjście kaskadowe do układu <i>Slave</i>
3	0Bh	COM2
4	0Ch	COM1
5	0Dh	LPT2
6	0Eh	Kontroler napędu dysków elastycznych
7	0Fh	LPT1

* *Wektor* oznacza numer indeksu wskazującego adres procedury obsługi danego przerwania umieszczony w tzw. *tablicy wektorów przerwania*. Tablica ta znajduje się w pamięci w obszarze 00000h – 003FFh i zawiera czterobajtowe pozycje reprezentujące kolejne adresy.

Linia IRQ	Wektor*	Urządzenie
8	70h	Zegar czasu rzeczywistego
9	71h	Wywołuje przerwanie IRQ2
10	72h	Zarezerwowane
11	73h	Zarezerwowane
12	74h	Zarezerwowane
13	75h	Koprocesor arytmetyczny
14	76h	Kontroler dysku twardego
15	77h	Zarezerwowane

* *Wektor* oznacza numer indeksu wskazującego adres procedury obsługi danego przerwania umieszczony w tzw. *tablicy wektorów przerwania*. Tablica ta znajduje się w pamięci w obszarze 00000h – 003FFh i zawiera czterobajtowe pozycje reprezentujące kolejne adresy.

Do grupy przerwania sprzętowych należy też przerwanie niemaskowalne (NMI), które nie jest jednak obsługiwane przez żaden z kontrolerów 8259A.

- ◆ System DMA także otrzymał dodatkowe wsparcie w postaci drugiego układu scalonego 8237A zainstalowanego dla potrzeb transmisji 16-bitowych. Kanaly DMA zostały przydzielone w następujący sposób:

Kanał	Szerokość w bitach	Przeznaczenie
0	8	Zarezerwowany
1	8	Układ transmisji synchronicznej SDLC
2	8	Kontroler napędu dysków elastycznych
3	8	Zarezerwowany
4	–	Kaskada
5	16	Zarezerwowany
6	16	Zarezerwowany
7	16	Zarezerwowany

- ◆ Programowalny układ czasowy 8253 został zastąpiony unowocześnieńm modelem 8254, którego trzy niezależne kanały obsługują następujące urządzenia:

Kanał	Przeznaczenie
0	Generacja sygnału IRQ0 (zegar systemowy)
1	Odświeżanie pamięci
2	Obsługa głośnika

- ◆ Zrezygnowano z usług większości mikroprzełączników (DIP) dla ustalania parametrów konfiguracyjnych systemu. Ich miejsce zajęła podtrzymywana bateryjnie pamięć CMOS (układ scalony MC146818). Przy okazji tych zmian wprowadzony został zegar czasu rzeczywistego, pracujący również przy

wyłączonym komputerze (podtrzymywanie bateryjne). W modelu XT zegar pracował tylko od włączenia do wyłączenia komputera.

- ♦ Magistrala zewnętrzna otrzymała dostęp do wszystkich 16 bitów systemowej szyny danych oraz wzbogacona została o kilka nowych sygnałów sterujących.

Do wszystkich układów scalonych stanowiących składowe systemu można się odwoływać przez porty umieszczone w przestrzeni adresowej wejścia-wyjścia.

Procesor 80286

Pod względem budowy wewnętrznej procesor 80286 nie różni się w istotny sposób od swego poprzednika. Nowością jest jedynie wprowadzenie tzw. chronionego trybu pracy (*Protected Mode*). Jego istota polega na implementacji sprzętowej kontroli dostępu do określonych obszarów pamięci. Mechanizmy te znajdują zastosowanie w pracy wielozadaniowych systemów operacyjnych.

Układ 80286 dysponuje specjalnym, dodatkowym zestawem rozkazów przeznaczonych do obsługi tego trybu pracy. Poza nim (tj. w trybie rzeczywistym *Real Mode*) procesor nadal dysponuje listą rozkazów zgodną z 8086, ale poszerzoną o kilka nowych poleceń. Nie mogły być one jednak wykorzystane w aplikacjach zachowujących „zgodność w dół” do poziomu XT.

Poszerzona do 24 bitów magistrala adresowa pokrywała przestrzeń 16 MB. Z obszaru tego można było jednak korzystać wyłącznie w trybie chronionym. W trybie rzeczywistym trzeba się było zadowolić zakresem adresowania zgodnym z 8086, tj. 1 MB. Sposób generacji adresu fizycznego pozostał bez zmian. W trybie rzeczywistym 80286 zachowywał się po prostu jak szybki 8086. Na zwiększenie efektywnej szybkości przetwarzania miało wpływ nie tylko podniesienie częstotliwości taktującej do 25 MHz, ale również poprawa w konstrukcji wewnętrznej procesora oraz zmodyfikowana obsługa magistrali.

Obszar przestrzeni adresowej dla urządzeń wejścia-wyjścia jest zgodny z możliwościami procesora 8086; teoretycznie można obsłużyć 64 k portów 8-bitowych o adresach 0 – 65535, 32 k portów 16-bitowych o parzystych adresach 0, 2, 4, ..., 65534 lub ich kombinacje w zakresie do 64 KB. Podobnie jednak jak w modelu XT, wbudowany w płytę dekodek adresów wejścia-wyjścia rozpoznaje tylko 1024 z nich — są to porty ulokowane w zakresie 0 – 1023 (000h – 3FFh).

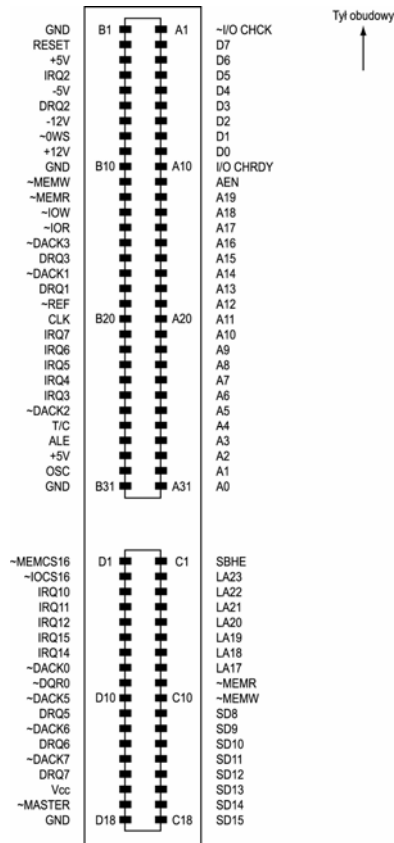
Układ 8086 miał możliwość samodzielnego wytwarzania sygnałów sterowania magistralą, co umożliwiało rezygnację z udziału kontrolera 8288. Procesor 80286 nie ma takiej możliwości i musi współpracować z odpowiadającym mu kontrolerem magistrali 80288.

Magistrala ISA 16-bitowa

Podobnie jak w modelu PC/XT, większa część sygnałów magistrali systemowej wyrowadzona jest do gniazd, w których można umieszczać karty rozszerzeń. W przypadku architektury AT magistrala zewnętrzna jest już jednak 16-bitowa. Gniazda rozszerzające

(rysunek 2.4) podzielone są na dwie części; pierwsza, 62-stykowa, jest zgodna (z wyjątkiem sygnałów 0WS i REF) z 8-bitową magistralą XT, druga stanowi jej 36-stykowe uzupełnienie.

Rysunek 2.4.
Gniazdo 16-bitowej
magistrali zewnętrznej



Płyty główne komputerów AT miały na ogół kilka złączy 16-bitowych i jedno lub dwa 8-bitowe. Poniżej omówione zostaną dodatkowe linie rozszerzające. Znaczenie pozostałych sygnałów jest takie samo, jak w przypadku magistrali XT.

- ~0WS *0 Wait States* — karta rozszerzeń sygnalizuje, że jest dostatecznie szybka, aby być obsługiwaną bez dodatkowych cykli oczekiwania.
- ~REF *Refresh* — sygnał ten informuje, że w danym momencie odbywa się cykl odświeżania pamięci dynamicznej na płycie głównej. Jego źródłem nie jest kanał 0 DMA, lecz jeden z generatorów układu 8254 (*Timer*) lub specjalizowane układy obsługujące samą pamięć.
- LA17 – LA23 *Large Address* — siedem najbardziej znaczących linii 24-bitowej szyny adresowej procesora. Linie LA17 – LA19 pokrywają się

	logicznie z liniami A17 – A19 w części 8-bitowej złącza, z tą różnicą, że adres na liniach <i>LAnn</i> wystawiany jest wcześniej.
Vcc	Napięcie zasilające (+5 V).
SD8 – SD15	<i>System Data</i> — bardziej znaczący bajt 16-bitowej systemowej szyny danych AT.
~SBHE	<i>System Bus High Enable</i> — sygnał ten jest wystawiany przez procesor lub kontroler DMA podczas procesu przekazywania danych 16-bitowych z udziałem bardziej znaczącego bajtu magistrali, tj. SD8 – SD15.
~MEMCS16	Sygnał generowany jest przez karty rozszerzeń, które gwarantują dostęp do pamięci w trybie 16-bitowym. Karta 16-bitowa, która nie odpowie w odpowiednim momencie wystawieniem niskiego poziomu logicznego na linii ~MEMCS16, będzie obsługiwana tak jak 8-bitowa. Jeżeli karta 8-bitowa zostanie umieszczona w złączu 16-bitowym, to sygnał ~MEMCS16 będzie nieaktywny (na niepodłączonej linii ustala się wysoki poziom logiczny), co umożliwi automatyczną detekcję rozmiaru karty.
~I/O CS16	Sygnał ten generowany jest przez karty rozszerzeń, które gwarantują dostęp do przestrzeni wejścia-wyjścia w trybie 16-bitowym. Obowiązują tu te same uwagi, co dla sygnału ~MEM CS16.
~MEMR	<i>Memory Read</i> — stan aktywny tej linii (niski poziom logiczny) oznacza żądanie odczytu (CPU lub DMA) z pamięci z zakresu 0 – 16 MB. Sygnał ~SMEMR w 8-bitowej części złącza generowany jest wyłącznie przy odczytach w przestrzeni adresowej 0 – 1 MB, zaś przy próbie dostępu do pamięci powyżej 1 MB pozostaje nieaktywny (wysoki poziom logiczny).
~MEMW	<i>Memory Write</i> — stan aktywny tej linii (niski poziom logiczny) oznacza żądanie odczytu (CPU lub DMA) z pamięci z zakresu 0 – 16 MB. Sygnał ~SMEMW w 8-bitowej części złącza generowany jest wyłącznie przy odczytach w przestrzeni adresowej 0 – 1 MB, zaś przy próbie dostępu do pamięci powyżej 1 MB pozostaje nieaktywny (wysoki poziom logiczny).
DRQ5 – 7, ~DACK5 – 7	16-bitowe kanały DMA udostępniane przez dodatkowy układ kontrolera DMA 8237A (<i>Slave</i>).
IRQ10 – 12, ~IRQ14 – 15	<i>Interrupt Request</i> — linie zgłoszeń przerwań sprzętowych obsługiwane przez dodatkowy kontroler 8259A (<i>Slave</i>). Nie jest wyprowadzana linia IRQ13, przypisana standardowo obsłudze znajdującego się na płycie głównej koprocesora arytmetycznego.
DRQ0, ~DACK0	<i>DMA Request</i> — <i>DMA Acknowledge</i> . 8-bitowy kanał obsługi DMA powstały po zlikwidowaniu pochodzącego z architektury XT mechanizmu odświeżania pamięci kanałem DMA.
~MASTER	Sygnał umożliwiający przejęcie sterowania systemem przez procesor znajdujący się na karcie rozszerzeń. Układowi takiemu

należy wpierv przyporządkować jeden z kanałów DMA. Kontroler DMA przeprowadza rutynowo proces odłączania procesora zainstalowanego na płycie głównej (sekwencja sygnałów HRQ i HLDA) przed wysłaniem sygnału \sim DACK do chcącego zawładnąć magistralami procesora. Ten reaguje uaktywnieniem linii \sim MASTER (tj. sprowadzeniem jej do poziomu zera logicznego) i przejmuje sterowanie systemem.

Komputery z procesorami 386, 486 i Pentium

Modele AT z procesorem 80286 wyparte zostały przez komputery wyposażone w procesory 80386 i 80486, a po nich nadeszły kolejne generacje Pentium. Płyty takie cechowały 32-bitowe magistrale systemowe. Gniazda kart rozszerzeń ISA miały jednak nadal jedynie 16 linii danych i 24 linie adresowe. Łamanie i przesuwanie bajtów dokonywane było w specjalnych układach pośredniczących między magistralą systemową a zewnętrzną. 32-bitowe modele AT nie różniły się zbyttnio od swych 16-bitowych poprzedników. Wzrost mocy obliczeniowej osiągnany był głównie dzięki podniesieniu różnych częstotliwości taktujących, co pociągało za sobą w oczywisty sposób przyspieszenie pracy magistral.

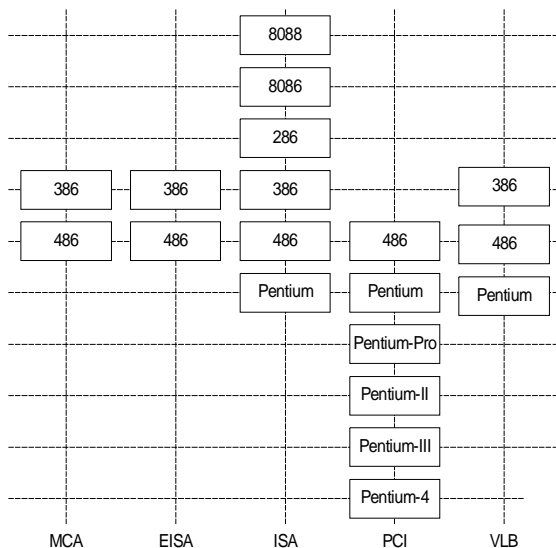
Największym problemem architektury AT pozostała do samego końca magistrala zewnętrzna (ISA). Decydowały o tym dwa główne czynniki: jej szerokość i szybkość pracy. Na kartach rozszerzeń montowane były kontrolery urządzeń peryferyjnych wymieniających dosyć intensywnie dane z pamięcią. Mowa tu w szczególności o kontrolerach dysków twardych, kartach sieciowych i graficznych. Drugim hamulcem była częstotliwość taktowania magistrali zewnętrznej. Producenci chcący przestrzegać zgodności ze specyfikacją ISA musieli limitować szybkość jej pracy do wartości poniżej 8,33 MHz. Wartość standardowa mieściła się zwykle w zakresie 6 – 8 MHz. Jedynie w modelach 486DX-50 MHz wartość ta podniesiona została do 12,5 MHz.

Doszło do sytuacji, iż stosunkowo szybkie układy peryferyjne nie wszędzie mogły być wykorzystane, a podnoszenie częstotliwości pracy magistrali nie gwarantowało niezawodnej pracy znajdujących się na rynku kart starszego typu.

Rozwiązanie powyższych problemów w ramach architektury AT nie było możliwe i konieczne stało się wprowadzenie nowej magistrali zewnętrznej. Z tego też względu powstało wiele konkurencyjnych standardów, z których tylko nieliczne ugruntowały swą pozycję na rynku (rysunek 2.5). Każdy z nich generował falę kart rozszerzeń nowego typu, obsługujących stale rosnącą gamę urządzeń peryferyjnych.

Przed przejściem do bardziej szczegółowego omówienia standardów magistral następujących po ISA podajmy w formie porównania ich teoretyczne przepustowości maksymalne. Przeglądając poniższą tabelę, należy pamiętać, że magistrala MCA — będąc magistralą

Rysunek 2.5.
Zastosowania
procesorów w ramach
architektur PC



asynchroniczną, wyposażoną w mechanizmy arbitrażu — nie ma sztywno ustalonego limitu przepustowości i w zależności od wersji magistrali oraz możliwości zainstalowanych kart rozszerzeń jej przepustowość może się znacznie zmieniać.

Standard	Przepustowość magistrali
ISA	8,33 MB/s
EISA	33 MB/s
MCA	20 MB/s
VESA Local Bus	120 MB/s
PCI	132 MB/s
PCI-X	do 1 GB/s
PCI Express	do 8 GB/s

EISA

Jednym ze standardów, któremu udało się (przynajmniej na pewien czas) opanować rynek PC, było rozszerzenie EISA (*Extended Industry Standard Architecture*). Jego powstanie stanowiło istotny krok na drodze do wykorzystania pełnych możliwości procesorów 32-bitowych. System ten znalazł zastosowanie głównie w sektorze serwerów sieciowych. Architektura EISA była dość kosztowna ze względu na swoje skomplikowanie, wynikające z chęci zachowania możliwości współpracy z dotychczas stosowanymi peryferiami ISA. Kontroler magistrali musiał każdorazowo decydować, czy bieżącą operację można przeprowadzić w trybie 32-bitowym czy też należy symulować 16-bitowy tryb pracy. To samo dotyczyło kontrolera DMA. W razie potrzeby 32-bitowy kontroler DMA emulował pracę swego 8-bitowego poprzednika.

Mimo iż technologia ta nigdy nie należała do tanich, ogromna konkurencja na rynku producentów osprzętu EISA doprowadziła do istotnego spadku cen i pewnej popularyzacji systemu. Wytwórcy sprzętu standardu EISA reklamowali jego kompatybilność z kartami ISA. Spełnienie tego wymogu dawało posiadaczowi płyty głównej EISA i kart rozszerzeń ISA pewność, iż wszystko będzie doskonale współpracować (tyle tylko, że nie na tym nie zyskiwał). Dopiero wyposażenie płyty ze złączami EISA w karty standardu EISA udostępniało pełne możliwości systemu. W chwili obecnej trudno byłoby znaleźć producenta peryferiów z tym złączem, gdyż świat PC zdominowała magistrala PCI.

Zmiany wprowadzone przez EISA w stosunku do ISA nie miały charakteru rewolucyjnego, a raczej poważnej operacji kosmetycznej i dotyczyły obszarów wyszczególnionych w kolejnych punktach.

Wieloprocusorowość

Dowolny kontroler (procesor) umieszczony na jednej z kart rozszerzeń EISA ma nieograniczone możliwości sterowania magistralą systemową. Oznacza to, że w systemie mogą współpracować różne procesory mające dostęp do tych samych zasobów komputera, takich jak dyski, pamięć itp. System przydziału magistral kolejnym procesorom jest dosyć rozbudowany i ma charakter hierarchiczno-priorytetowy.

Magistrala zewnętrzna

Karty rozszerzeń EISA mają do dyspozycji (oprócz wielu sygnałów sterujących) 32 bity systemowej szyny adresowej i 32 bity systemowej szyny danych. Na magistralę zewnętrzną EISA składa się 98 sygnałów standardu ISA oraz 90 nowych linii. Nie wszystkie nowe sygnały są jednoznacznie zdefiniowane. Producentom wyspecjalizowanych kart pozostawiono miejsce na własne rozwiązania.

Aby zachować wymóg zgodności z kartami ISA, gniazda EISA mają szczególną konstrukcję. Styki ułożone są na dwóch poziomach. Poziom górny dostarcza wszystkich sygnałów standardu ISA, natomiast w dolnym (położonym w głębi gniazda) rozlokowane są końcówki EISA. Normalna karta ISA nie może być wsunięta tak głęboko, by sięgnąć linii dodatkowych styków — uniemożliwiają to poprzeczne zapory. Nie są one jednak przeszkodą dla kart EISA, mających w odpowiednich miejscach wycięcia.

Kontroler DMA

Bardzo istotne zmiany wprowadzono w systemie DMA. Nie ma w nim już znanych ze standardu ISA ograniczeń objętości przesyłanych danych do bloków po 64 KB (128 KB w kanałach 16-bitowych). Wykorzystywane są pełne możliwości 32-bitowej szyny adresowej, tzn. teoretycznie możliwe są transfery bloków o wielkości do 4 GB. Aby zachować zdolność obsługi kart ISA, stosowany w architekturze EISA nowoczesny, 32-bitowy kontroler DMA ma możliwość pracy w trybie układu 8237A. Każdy z siedmiu kanałów DMA może więc obsługiwać urządzenia 8-, 16-, i 32-bitowe.

Zmieniono też sposób przydziału kanałów urządzeniom. W miejsce stałych priorytetów poszczególnych kanałów wprowadzono system rotacyjny. Był to krok w stronę systemów

wielozadaniowych i wieloprocesorowych, który miał uniemożliwić trwałe blokowanie kanałów przez uprzywilejowane urządzenie.

Kontroler przerwania sprzętowych

System EISA dysponuje, podobnie jak ISA, 15 kanałami IRQ. Istotnym novum była natomiast zmiana sposobu wyzwalania przerwania. Standard ISA używał zboczy impulsu, co jest metodą bardzo podatną na zakłócenia. EISA wymaga od zgłaszającego przerwanie urządzenia utrzymania aktywnego poziomu sygnału, tj. przekroczenia określonego poziomu napięcia, a nie tylko jego wzrostu.

Kontroler magistral

Wszystkie magistrale EISA są 32-bitowe. Procesory 80386 i 80486 mają poza tym możliwość użytkowania magistral w specjalnym trybie następujących po sobie kolejnych cyklach dostępu (*Burst*), co oznacza osiąganie adresowanego obiektu w jednym taktcie zegarowym. Dla porównania, magistrala AT potrzebuje, w najlepszym razie (bez cykli oczekiwania), czterech taktów zegara. Ze względu na konieczność zachowania kompatybilności magistrala zewnętrzna EISA pracuje z maksymalną prędkością 8,33 MHz, natomiast dostęp do pamięci odbywa się już z pełną częstotliwością zegara CPU.

Najbardziej skomplikowaną częścią systemu EISA jest więc niewątpliwie kontroler magistral. Musi on umieć odróżnić od siebie pojedyncze cykle ISA i EISA, przełączać szynę w tryb *burst* oraz przeprowadzać łamanie i składanie bajtów przy dostępie do obiektów 8- i 16-bitowych.

Pamięć konfiguracji

64 bajty pamięci konfiguracji znane z architektury AT zastąpione zostały przez 4 KB w standardzie EISA. Pamięć ta przechowuje nie tylko informacje o konfiguracji płyty głównej, ale i o zainstalowanych kartach. W systemie EISA nie ma żadnych przełączników konfiguracyjnych (DIP) ani zwor; konfigurowanie systemu odbywa się całkowicie programowo.

MCA

Architektura MCA (*Micro Channel Architecture*) była wytworem firmy IBM i została po raz pierwszy wprowadzona w modelach PS/2. Miał w niej miejsce zdecydowany odwrót od tradycji upartego trzymania się (w celu zachowania kompatybilności) standardu ISA. Dotyczy to zarówno cech logicznych architektury, jak i nowej geometrii kart i złączy, która wykluczała współpracę z osprzętem ISA. Polityka koncernu IBM poszła w tym przypadku w zupełnie innym kierunku. Wszystkie charakterystyczne cechy systemu zostały opatentowane, a licencje na produkcję urządzeń w tym standardzie wydawane były dosyć skąpo. Miało to oczywiście na celu utrzymanie monopolu w tej dziedzinie, co niewątpliwie się udało. Niestety, każde rozwiązanie ma i zalety, i wady, a przyjęta metoda nie wyszła na dobre propagowaniu tej technologii. Brak konkurencji

na rynku producentów utrzymywał stosunkowo wysokie ceny i hamował sprzedaż wyrobów. Ponadto dominacja IBM w tym sektorze stała się inspiracją do rozwijania konkurencyjnych technologii. Jako obrona rynku producentów przed monopolem IBM powstała między innymi architektura EISA.

MCA była ukierunkowana wyraźnie na potrzeby systemów wielozadaniowych typu OS/2 i 32-bitowych procesorów 80386 i 80486. Mimo ogromnych różnic architektonicznych, programy pracujące na urządzeniach PS/2 i pod nadzorem systemu MS-DOS nie sprawiały żadnych trudności, jak długo tylko nie sięgały bezpośrednio do rejestrów.

Dla użytkownika poruszającego się na poziomie systemu operacyjnego i aplikacji jednoznaczne określenie rodzaju architektury płyty głównej nigdy nie było rzeczą łatwą. Jeżeli pominąć ewidentne różnice wynikające ze wzrostu mocy obliczeniowej systemu, jedynym sposobem poznania architektury komputera (bez zdejmowania obudowy) pozostanie zawsze sięgnięcie do programów diagnostycznych.

Przepustowość magistrali zewnętrznej MCA sięgała 20 MB/s. Szybka jak na owe czasy, bo pracująca w takt zegara procesora, była magistrala lokalna łącząca go z pamięcią. Magistrala systemowa miała co prawda szerokość 32 bitów (zarówno w części adresowej, jak i danych), ale była taktowana zegarem 10 MHz. Na każdą transmisję przypadają niestety aż dwa cykle zegarowe (dla porównania: ISA — 4 cykle, EISA — 1 cykl).

Gruntownie zmodyfikowany został system DMA. Po pierwsze, w transmisjach DMA używano wyłącznie pełnego 32-bitowego adresu pokrywającego całą przestrzeń adresową systemu. Zrezygnowano z emulowania 8- i 16-bitowego trybu układu 8237A. Po drugie (co było absolutnym novum), dozwolono, by jednocześnie był aktywny każdy z ośmiu kanałów DMA. Nie trzeba chyba dodawać, jak wielkie znaczenie ma taka cecha dla systemów wielozadaniowych.

System przerwania sprzętowych zapewniał obsługę 255 urządzeń. Osiągnięto to dzięki wprowadzeniu wyzwalania poziomem (a nie zboczem, jak to ma miejsce w architekturze ISA) i dopuszczeniu do podziału jednego kanału pomiędzy wiele urządzeń. Wyzwalanie przerwania poziomem sygnału jest warunkiem możliwości obsługi przerwania w systemach wieloprocessorowych, gdyż przerwanie musi pozostać zgłoszone do momentu, gdy przyjmie je jeden z procesorów. Zgłoszenie przerwania zboczem mogłoby w takim przypadku doprowadzić do „zgubienia” zgłoszenia przerwania.

Centralny procesor na płycie głównej (*Host CPU*) mógł być wspomagany przez 16 dodatkowych mikroprocesorów umieszczonych na kartach rozszerzeń. Dla potrzeb wzajemnej komunikacji między procesorami, uwzględnienia ich priorytetów i implementacji mechanizmu przydziału czasu dedykowano specjalną 4-bitową szynę sterującą.

Karty rozszerzeń systemu MCA nie były już anonimowe. Każda z nich miała swój niepowtarzalny numer identyfikacyjny — produktom innych wytwórców nadawane były numery uzgadniane centralnie z IBM. System ten umożliwiał jednoznaczną identyfikację rodzaju karty. Jej konfiguracja odbywała się wyłącznie w drodze dialogu z programem instalacyjnym. Na karcie brakowało jakichkolwiek zwojów i przełączników. Informacja o konfiguracji karty przechowywana była w systemowej pamięci CMOS. Należy nadmienić, że konstrukcja złączy MCA umożliwia stosowanie nie tylko kart 32-bitowych, ale i ich uproszczonych wersji o szerokości 8 i 16 bitów.

Również pojedyncze gniazda magistrali zewnętrznej zaczęły być identyfikowane w ramach systemu. Dało to możliwość programowego (bez otwierania obudowy komputera) odłączania karty tkwiącej fizycznie w złączu, co umożliwiła znaczne uelastyczenie konfiguracji sprzętowej. W systemie mogły być na stałe zamontowane wykluczające się wzajemnie karty. W stosownym momencie można było aktywować jedną z nich bez potrzeby sięgania po śrubokręt.

System zbudowany w oparciu o architekturę ISA reagował bardzo radykalnie na stwierdzenie błędu działania pamięci podczas jej kontroli po włączeniu. Załadowanie systemu operacyjnego nie mogło mieć miejsca, jeśli stwierdzono niesprawność choćby jednej komórki pamięci. System MCA był pod tym względem mniej rygorystyczny i tolerował drobne ubytki w pamięci operacyjnej. W takim przypadku cała dostępna pamięć powyżej miejsca uszkodzenia ulegała logicznemu przedadresowaniu. Segment o długości 64 KB, w którym stwierdzono uszkodzenie, był przesuwany na koniec przestrzeni adresowej i deaktywowany. Powstałą lukę wypełniano innym sprawnym segmentem.

Architektura MCA sięgnęła po rozwiązania, które dziś wydają się oczywiste. Aby nie blokować gniazd magistrali zewnętrznej, wiele elementów architektury, takich jak złącza szeregowo i równoległe czy karta VGA, zostało zintegrowanych z płytą główną. Użytkownik miał oczywiście możliwość ich zablokowania i skorzystania z odpowiednich kart.

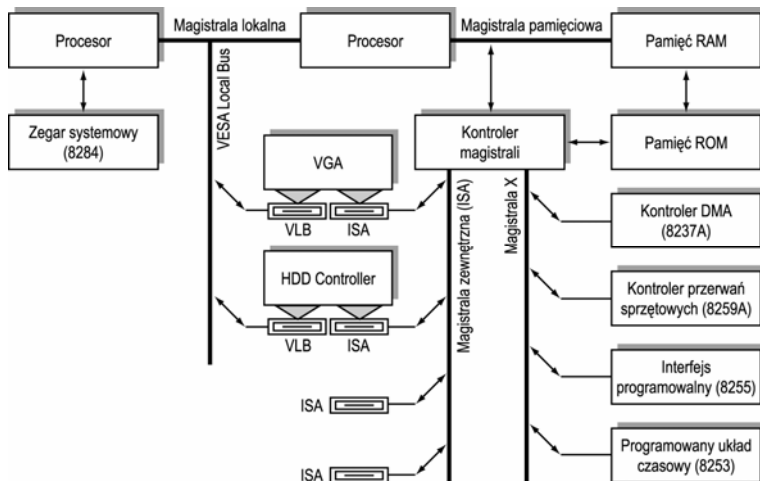
VESA

Zgodnie z zasadą, że gdzie dwóch się bije, tam trzeci korzysta, duże powodzenie zdobyły różne systemy 32-bitowych szyn lokalnych (*Local Bus*). Początkowo każdy z producentów preferował swój standard. Z czasem spośród bogactwa rozmaitych rozwiązań na czoło wysunął się zdecydowanie pseudostandard VESA (rysunek 2.6), stworzony przez organizację o nazwie *Video Electronics Standards Association*, w której główny udział miała firma NEC. „Pseudo”, gdyż peryferia noszące znamiona VESA wcale nie musiały (do czasu normalizacji³) pracować poprawnie w dowolnej płycie głównej VESA.

Pod nazwą VESA (lub VLB, VESA Local Bus) stworzony został system 32-bitowej szyny lokalnej dedykowanej w zasadzie obsłudze tylko dwóch urządzeń — karty graficznej i kontrolera dysków.

Architektura VLB była niezmiernie mocno związana ze sprzętem z uwagi na bezpośrednie połączenie z magistralą lokalną procesora i486. Rozwiązanie takie zapewniało stosunkowo niski koszt jej implementacji w systemach 386/486. To silne powiązanie sprawiło jednak, że magistrala VLB umarła śmiercią naturalną w momencie wyjścia z użycia procesorów tej generacji, gdyż stosowanie jej w systemach opartych na procesorach klasy Pentium wiązało się z wykorzystaniem układów mostkujących, które z jednej strony zwiększały koszt takiego rozwiązania powyżej poziomu kosztów implementacji magistrali PCI, a z drugiej — niwelowały prędkość działania magistrali VLB, czyniąc ją mniej więcej tak samo szybką, jak magistrala PCI.

³ Oficjalna specyfikacja standardu VESA 1.0 została opublikowana we wrześniu 1992 roku.



Rysunek 2.6. Architektura komputera z magistralą VESA

Struktura VLB była swego rodzaju dodatkiem do architektury ISA, gdyż — nie naruszając cech standardu — wymagała dobudowania na zwykłej płycie AT od jednego do trzech 32-bitowych złączy VLB.

Magistrala zewnętrzna taktowana była więc zegarem procesora, ale nie mogła wykraczać poza 40 MHz. Stosowanie kart VLB w systemach o magistrali taktowanej zegarem 33 MHz lub wyższym wymagało też ograniczania liczby kart: przy częstotliwości 33 MHz nie zalecało się stosowania więcej niż dwóch kart, a przy częstotliwości 40 MHz — jednej. Przepustowość magistrali danych dochodziła do 120 MB/s, co głównych konkurentów (MCA, EISA) pozostawiało daleko w tyle. Złącze VLB od strony mechanicznej nie było niczym innym, jak dodatkowym gniazdem umieszczonym w jednej linii z gniazdem ISA. W gniazdach takich (ISA+VLB Extentions) można było umieszczać zarówno karty nowego standardu (sięgające swymi stykami do rozszerzenia), jak i zwyczajne karty ISA, nie czerpiące korzyści z architektury VLB.

Płyty główne standardu VLB były tańsze od EISA ze względu na prostotę wykonania. Również i karty ze złączem VLB były bardziej dostępne dla kieszeni zwykłego użytkownika. Kontrolery graficzne VLB były mimo to 2 – 3 razy szybsze od swoich klasycznych konkurentów. Dodatkowy wzrost wydajności karty w środowisku Windows gwarantowały specjalnie opracowane procesory graficzne. W środowisku MS-DOS nie dawało to jednak żadnych korzyści.

VLB nie na wiele przydała się kontrolerom dysków twardej. Szyna łącząca kontroler z pamięcią uzyskiwała co prawda większe pasmo, ale sam dysk nie stał się z tego powodu szybszy. Przepustowość danych na odcinku głowice — sterownik była stosunkowo mała, a duże pamięci podręczne dysków wchodziły dopiero do użytku. Tylko takie urządzenia mogły ewentualnie skorzystać z szybkiej, 32-bitowej magistrali VLB.

PCI

Aktualnie dominującym rozwiązaniem 32-bitowej szyny lokalnej jest magistrala PCI (*Peripheral Component Interconnect*). Wyparła ona w dość krótkim czasie szynę VLB mimo zbliżonych parametrów. Przyczyna porzucenia poprzedniej technologii została zasygnalizowana już wcześniej. VLB oparta była na magistrali lokalnej procesorów 386 i 486. Wszelkie karty rozszerzeń dostosowane były więc do współpracy z tymi procesorami. Magistrala PCI była niezależna od typu procesora, mogła więc być wykorzystywana w systemach z nowymi procesorami, w dodatku niekoniecznie pochodzącymi z firmy Intel. Wolna konkurencja stała się główną siłą napędową nowego standardu.

Ze względu na fakt, iż platforma sprzętowa współczesnych komputerów PC opanowana została całkowicie przez magistralę PCI. Architekturze tego typu poświęcono osobny rozdział.